

米国電気電子学会 アジア地区 固体回路会議 2012

IEEE Asian Solid-State Circuits Conference 2012 (A-SSCC 2012)

H24会自09

開催日 平成24年11月12日～平成24年11月14日 (3日間)
開催地 神戸国際会議場 (神戸市中央区港島中町6-9-1)
申請者 ルネサスエレクトロニクス株式会社
技術開発本部 技術企画統括部 主管技師長 清水 徹

会議の概要と成果

村田科学技術振興財団の助成を受け、第8回であるA-SSCCは「Integrated Circuits toward Smarter Society」のテーマのもと、最先端の注目技術に関するパネル討論2件及びチュートリアル講演4件、アジアならではの基調講演4件、産業界のトレンドがわかるインダストリー・プログラム8件、高倍率の選別を受けた一般技術論文87件を予定通りに発表、スマート社会実現に向けたセンサ技術、電力変換技術、通信技術、信号処理技術、制御技術他に渡り活発かつ有意義な討論を行うことができた。

参加者総数は基調講演者、Tutorial講師、サポーター展示者を含め370名であり、うち海外19カ国から175名(ベルギー4、カナダ1、中国14、フランス2、ドイツ1、香港2、インド2、韓国49、マレーシア1、マカオ1、オランダ2、ノルウェー3、フィリピン1、シンガポール14、スウェーデン1、スイス1、台湾53、アラブ首長国連邦1、米国22)の出席を頂き、アジアへの情報発信及びアジアからの情報収集の場としての目的を果たした。

パネル討論「3次元デバイス/FinFETとその後の新技術に対する設計はどうあるべきか?」で

は、20nm世代以降、FinFETなどの3次元デバイスの先は、複雑で不連続な技術になり、プロセスや設計手法の改良以外に、デジタル支援のアナログ設計、アナログ支援のデジタル3D集積など新しいデバイス技術に対応した新しい設計技術をタイムリーに準備することの重要性が強調された。また「ノーマリーオフ・コンピューティング」では低電力化に向けてデバイスレベルの技術開発だけに留まらず、ソフトウェアまで含めたシステム階層間での技術開発協調の重要性が強調された。

チュートリアルではSoC低電力技術(インテル)、CMOS SoCによる無線LAN設計技術(クアルコム)、不揮発メモリナノスケール設計技術(ハイニックス)、スマートセンサ設計技術(デルフト大)に224名が参加(複数セッション聴講含み)した。

基調講演「電気自動車・ハイブリッドカーからの半導体技術への期待」(慶應大佐々木正一教授)では電気自動車やハイブリッドカーの普及には、半導体技術が中心的な役割を担い、インバータのサイズと損失を小さくすること、トラクション駆動システムの回路を見直し比較的安いバッテリーセルを使えるようにすることが課題とされた。

「半導体メモリのスケーリングとその先」(ハ

イニックス Sungjoo Hong 上席副社長) では NAND フラッシュメモリは20年前の\$50/Mbから現在の\$1/GBまで価格が1/50000になったが、スケーリングが物理的限界に近付いていて1xnm世代では制御する電子の数は16個程度となり、DRAMの立体キャパシタの高さは底辺の60倍にもなり、スケーリングの限界の先にSTT-RAM, ReRAM, PCRAM等の新デバイスが期待されるとした。

「スマートでユビキタスで患者中心の医療環境を実現する集積回路システム」(国立台湾大学病院Ming-Fong Chen院長)では患者を中心にした家庭医療モデル実現のため、生体計測用MEMSを携帯電話に搭載して生理信号を常時モニター、かつ携帯電話を個人の医療情報ハブに用いリアルタイムに監視・分析することで、生体計測と通話と緊急判断を一体化した遠隔ケアサービスを実現と紹介した。

「ユビキタスコンピューティングのための技術課題と可能性」(インテルShekhar Borkarフェロー)では集積回路のスケーリングは今後も続くが低電力化が課題であり、柔軟性、自己管理やエネルギー管理ができる自律的システムソフトウェア、システムスタックの全層が調和的にエネルギー効率を追求するハード・ソフト協調設計技術等、新しいシステム設計のアプローチが必要であるとした。

インダストリー・プログラム「先端SoC及びメモリ」では“トランジスタの集積度を2倍に向上し超低電圧で動作する22nm、Tri-Gateトランジスタを用い、DirectX 11をサポートし3画面同時出力可能なSoC”(インテル)、“H.264/AVCコーデックと回路をマージすることで面積を43.6%削減したVP8対応フルHDコーデックLSI”(メディアテック)、“25MB/sの書込み速度と400MB/sの高速インタフェースを持つNANDフラッシュメモリ”(Hynix)、“8コ

ア、128KBのL2キャッシュ、4MBのL3共有キャッシュ、PCI Gen2.0、10Gbイーサネット対応、2.4Tb/sの高速I/Oを備えるSPARCプロセッサ”(オラクル)の4件が、「高エネルギー効率回路及び応用技術」では“内部トランジスタで30mA、外部のバッテリーや太陽電池を使うことで100mA以上出力、各効率が85%、84%のDC-DCコンバータ”(ルネサス)、“外気温と自らのデータ通信に起因する温度変化をモジュレータの出力特性を保つための補正に用いる光通信リングモジュレータ”(オラクル)、“組込み向けオールデジタル0.5V、45.5uWで10-100MHz出力可能超低消費電力PLL技術”(STARC及び慶応大)、“0.5~6.6Gb/sで動作、6.6Gb/s通信時BER<10-15、最大チャネル損失18dB、1V及び1.2Vで消費電力129mWの高速IOインタフェース”(ザイリンクス)が発表された。

一般技術講演87件の各分野における主要な内容は以下であった。

- ・アナログ回路：高エネルギー効率センサインタフェース、80%80MHz降圧型DC-DCコンバータ、高精度5.8GHzデジタルPLL
- ・データコンバータ回路：キャパシタスワップを用いた低電力SAR ADC、WCDMA/GSM/EDGE用連続時間デルタシグマADC
- ・SoC・シグナルプロセッシング：マルチコードレートターボデコーダ、QFHDリコンフィギャラブルイメージプロセッサ、耐タンパ自己同期方式モンゴメリー乗算素子適用RSA
- ・RF：WCDMA共用ブルートゥース送受信機、身体検査向けイメージャ用超再生型受信回路、6.6GHz動作超広帯域シンセサイザ
- ・有線通信・ミクストシグナル回路：適応型デュオバイナリー方式送受信機、低電力化判定帰還方式等化受信フロントエンド、スペクトラム拡散方式EMI低減USB 3.0クロック生成回路

・エマージング技術・応用分野：素子ばらつき補正基板バイアス回路、オンチップ電荷リサイクリング回路。ばらつき補正適応型低電圧制御方法。高効率低雑音超音波診断フロントエンド、末梢神経接続生体神経信号伝送SoC、室内光活用環境電波発電高効率電力変換回路、超低消費電力ウェイクアップ受信機

・メモリ：フラッシュメモリ長寿命化検証方法、消費電力モニタ内蔵SRAM、ReRAM/NAND flash両用駆動信号ジェネレータ

全体を通し、集積回路技術自身は設計・回路・デバイス各面で発展が可能であるが、更にソフトウェア、応用技術など各システム階層の技術を結集することで高性能・低電力両面での革新が可能となることが示され、集積回路技術が支えるスマート社会の全体像がより明確に把握された。発表された技術は2-4年後に製品化されるものが主であり、半導体業界を含む産業界の技術開発の方向性が示唆された。