
極微細金属パターン付き 基板を用いた高性能グラフェンFETの作製

Fabrication of High-performance Graphene FETs
by Using Substrates with Submicron Metal Patterns

H31助自26

- 代表研究者 久保俊晴 名古屋工業大学 工学研究科 電気・機械工学専攻 准教授
*Toshiharu Kubo Associate Professor,
The Graduate School of Engineering Electrical and Mechanical Engineering,
Nagoya Institute of Technology*
- 共同研究者 江川孝志 名古屋工業大学 工学研究科 電気・機械工学専攻 教授
*Takashi Egawa Professor,
The Graduate School of Engineering Electrical and Mechanical Engineering,
Nagoya Institute of Technology*
- 共同研究者 三好実人 名古屋工業大学 工学研究科 電気・機械工学専攻 教授
*Makoto Miyoshi Professor,
The Graduate School of Engineering Electrical and Mechanical Engineering,
Nagoya Institute of Technology*

We have studied transfer-free multilayer graphene films utilizing a catalyst metal agglomeration technique. Moreover, top-gate field-effect transistors (FETs) using the multilayer graphene were fabricated, and the drain current could be modulated by applied gate voltages. However, the multilayer graphenes still have many defects. In this study, we fabricate high-performance graphene FETs using substrates with submicron metal patterns that lead to control of the thickness and pattern of graphene films. Firstly, we tried to improve the crystal quality of Ni metal films by annealing to improve the crystal quality of graphene films. Secondly, we tried to fabricate submicron Ni metal patterns using electron beam (EB) lithography.

The crystallite size of Ni films became larger by the annealing of Ni films, and the crystallinity of graphene films was improved. Furthermore, the device characteristics of graphene FETs were improved. The highest field-effect mobilities were estimated to be approximately 1600 cm²/Vs for holes and 1540 cm²/Vs for electrons. The mobilities were confirmed to be approximately twice as large as those of FETs in our previous study. As for the fabrication of submicron Ni metal patterns, we drew submicron line patterns using EB lithography. However, after developing, the patterns disappeared. It seems to be caused by the drawing conditions. We continue to draw submicron Ni metal patterns, and fabricate higher performance graphene FETs.

研究目的

本研究は、金属触媒の自己凝集反応を利用したグラフェン成膜のプロセスを用い、グラフェン電界効果トランジスタ (FET) を作製するものである。本研究では、リソグラフィ技術を用いて形成した「金属パターン付き基板」を利用することで、グラフェン膜の層数および微細形状を制御する技術を確認し、高性能グラフェンFETを作製する。

現在、Si半導体を基とした電子素子の性能は物理的限界に達しており、Siに代わる材料として、二次元材料であるグラフェンが注目され、研究開発が活発に行われている。高性能な新しい電子デバイスが作製されれば、現代社会への貢献は非常に大きい。

本研究のねらいは、グラフェンの形成方法として、当研究室で新規に考案し原理実証に至った、金属触媒の自己凝集反応を利用したグラフェン成膜プロセスを、より実用的なプロセスへ展開し、層数、形状を制御したグラフェン電界効果トランジスタ (FET) を作製するものである。この新しい成膜プロセスの利点は、半導体や絶縁体基板上に直接グラフェン薄膜を形成できることにあるが、現状ではグラフェン薄膜内に不規則的に欠陥が発生するという問題も明らかになっている。そこで本研究では、リソグラフィ技術を用いて形成した「金属パターン付き基板」を利用することで、グラフェン薄膜の層数および微細形状を制御する技術を確認し、高性能グラフェンFETを作製する。

概要

本研究は、金属触媒の自己凝集反応およびリソグラフィ技術を用いて形成した「金属パターン付き基板」を利用することで、グラフェン膜の層数および微細形状を制御し、高性能

のグラフェン電界効果トランジスタ (FET) を作製するものである。

我々はこれまでに金属触媒を凝集させる技術を用いることで転写フリー多層グラフェンを絶縁膜上に形成できることを報告してきた。また、金属触媒としてNi膜を用いて形成した多層グラフェンを使用してFETを作製し、ドレイン電流のゲート電圧による変調を確認した。しかし、我々の金属凝集法では、金属凝集部分がグラフェン中の欠陥部を形成するため、不規則的に欠陥が生じてしまうことが問題である。本研究では、この問題を解決するために「極微細金属パターン付き基板」を利用する。本研究により多層グラフェンの層数および微細形状を制御する技術を確認し、高性能グラフェンFETを作製する。

極微細金属パターン付き基板の実験を行うに当たり、まず、金属触媒であるNi膜の結晶性をアニール処理により向上させることを試みた。これは、原子力研究機構の圓谷らがCVD法でグラフェンを作製する際に、金属触媒であるNiについて、Ni (111) エピタキシャル膜を成膜して使用することを報告しており、我々の金属凝集を用いる方法においても、エピタキシャルNi膜を使用することにより、グラフェン膜の結晶性を高められる可能性があるためである。この実験と並行して、極微細金属パターン付き基板の作製のため、電子線ビーム露光装置により、サブミクロンの幅を有するライン状Ni膜の形成を行った。

グラフェン膜の形成方法として、金属触媒であるNiを膜厚20nm、基板を150℃で加熱しながらEB蒸着を行った後、高真空下において600℃で5分間アニール処理を行った。比較のため、各アニール処理を行わない試料も作製した。その後、Niの状態を確認するために多結晶X線回折 (XRD) 測定、電子線後方散乱回折

(EBSD)解析を行った。その後、これまでと同様の方法により、転写フリーグラフェン膜およびFETを形成した。グラフェンの状態はラマン散乱測定により確認した。デバイス作製後、作製したFETの*I-V*特性の評価を行った。

Ni膜の成膜時におけるアニール処理として、上記の蒸着中の加熱および成膜後の加熱を行わなかった試料を試料A、アニール処理を行った試料を試料Bとする。XRD分析結果として、試料Aでは結晶子サイズが9 nm程度であったものが、試料Bでは48 nm程度に増大することが分かった。また、EBSD分析の結果を比較したところ、EBSDパターンの鮮明さの指標であるImage Quality (IQ) 値について、試料AのIQ値は4650~10800である一方、試料BのIQ値は14060~95500であり、熱処理を行うことでNi膜の結晶性が向上していることが確認された。また、形成した多層グラフェンに対するラマン散乱測定の結果、グラファイト構造由来のGピーク強度と欠陥構造由来のDピーク強度との比はサンプルAで2.7であったものがサンプルBで11となり、アニール処理によりグラフェンの結晶性が向上することが分かった。以上から、アニール処理によりNi膜およびグラフェン膜の結晶性向上が確認された。

このグラフェン膜を用いてFETを作製したところ、電界効果移動度がホールに対して1600 cm²/Vs、電子に対して1540 cm²/Vsと求まり、以前我々が報告した値のおよそ2倍の値が得られ、FETのデバイス特性が改善した。

サブミクロン幅のライン状Niパターンの作製に関しては、電子ビーム露光装置により、レジストに対するパターン形成を行ったが、現像後にパターンが消失していた。これは、今回電子ビーム露光による極微細パターン形成が我々にとって初めての試みであり、露光条件を最適化できなかったことが考えられるため、今

後さらに実験を続け、よりデバイス特性の良いグラフェンFETを作製する予定である。以上より、本研究において、これまでよりもデバイス特性の良いグラフェンFETを作製するという目的は達成された。

— 以下割愛 —