

デジタルICの 電源ノイズ対策・デカップリング Application Manual

Innovator in Electronics

muRata

村田製作所

欧州RoHS指令対応について

- ・当カタログに記載の製品は、全て欧州RoHS指令に対応した製品です。
- ・欧州RoHS指令とは、欧州の「電気電子機器中の特定の危険物質の使用制限に関する指令（2011/65/EU）」およびその修正指令を指します。
- ・当社の欧州RoHS指令対応の詳細については、当社Webサイト「ムラタの欧州RoHS対応について」(<http://www.murata.co.jp/info/rohs.html>) よりご確認ください。

目 次

1. はじめに	1
2. デジタル IC の電源ノイズ発生とデカップリング回路の構成	4
2.1 電源ノイズ発生の仕組み	4
2.2 ノイズを見る視点と評価項目	5
2.3 挿入損失の測定方法	7
2.4 バイパス(デカップリング)コンデンサ	7
2.5 インダクタ、フェライトビーズ	9
2.6 コンデンサに必要な静電容量	10
3. コンデンサによるノイズの除去	12
3.1 コンデンサの周波数特性	12
3.2 コンデンサを取り付けるパターンの影響	13
3.3 ノイズの経路とコンデンサの搭載位置	14
3.4 周辺回路のインピーダンスの影響	17
3.5 コンデンサの並列接続と反共振	18
4. 高周波特性を改善したコンデンサ	23
4.1 低 ESL コンデンサ	23
4.2 低 ESL コンデンサのラインナップ	26
4.3 3端子コンデンサ	26
4.4 電源用3端子コンデンサのラインナップ	31
5. インダクタ、LC フィルタ	32
5.1 インダクタを使ったデカップリング回路	32
5.2 インダクタの周波数特性	33
5.3 フェライトビーズの周波数特性	34
5.4 コンデンサとインダクタを組み合わせた特性	36
5.5 LC フィルタ	39
5.6 電源にインダクタを使うときの留意点	41

5.7 電源に適したインダクタのラインナップ	43
5.8 電源に適した LC フィルタのラインナップ	45
6 . 電源電圧変動の抑制	46
6.1 電源インピーダンスと電圧変動の関係	46
6.2 コンデンサがあるときの電圧変動	47
6.3 並列コンデンサによるスパイクの抑制	49
6.4 低 ESL コンデンサによるスパイクの抑制	51
6.5 パルス幅が長いときの電圧変動	51
7 . 電源インピーダンス抑制のためのコンデンサの配置	53
7.1 IC からみた電源インピーダンス	53
7.2 IC からみた電源インピーダンスの簡易推定	54
7.3 IC 直近のコンデンサの配置可能な範囲	55
7.4 最大許容配線長 l_{max} の目安	57
8 . コンデンサを組み合わせた PDN の構成	61
8.1 デカップリングコンデンサの階層配置	61
8.2 PDN のインピーダンス	62
8.3 コンデンサの階層配置	63
8.4 PCB 上のターゲットインピーダンス	66
8.5 バルクコンデンサ	66
8.6 ボードコンデンサ	66
8.7 コンデンサの容量設計	68
8.8 極低インピーダンスの PDN を作るには	73
9 . まとめ	75
参考文献	76

1. はじめに

デジタル IC がつながる電源には、図 1-1 に示すように各種のコンデンサや EMI 除去フィルタが使われています。これらは IC の電源端子と電源分配網 (Power Distribution Network: 以下 PDN) をつなぐ接続点に、図 1-2 に示すような一種のフィルタ: デカップリング回路を形成することにより、電源品位 (Power Integrity : PI) を向上させていると考えることができます^{1) 2)}。

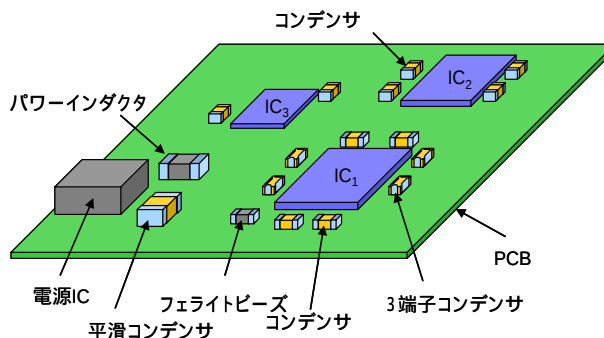


図 1-1 デジタル IC の電源で使われるノイズ対策部品の例

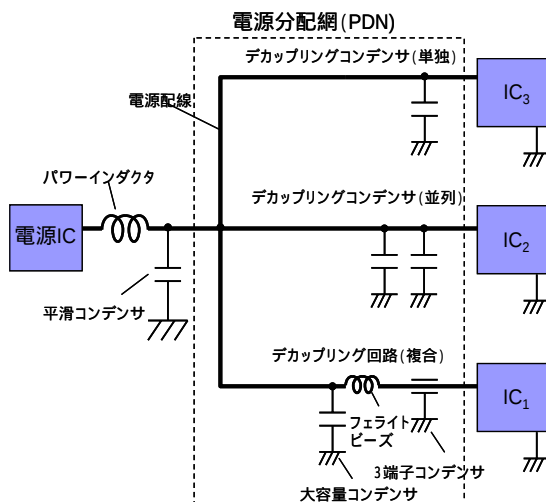


図 1-2 デジタル IC の電源の配線接続の例

このデカップリング回路は図 1-3 に示すように

- (1) IC に出入りするノイズを除去する。
- (2) IC の動作に伴う過渡的な電流を供給し、電圧を維持する。
- (3) 信号経路の一部を形成する。

などの働きを担っています^{3) 4) 5)}。

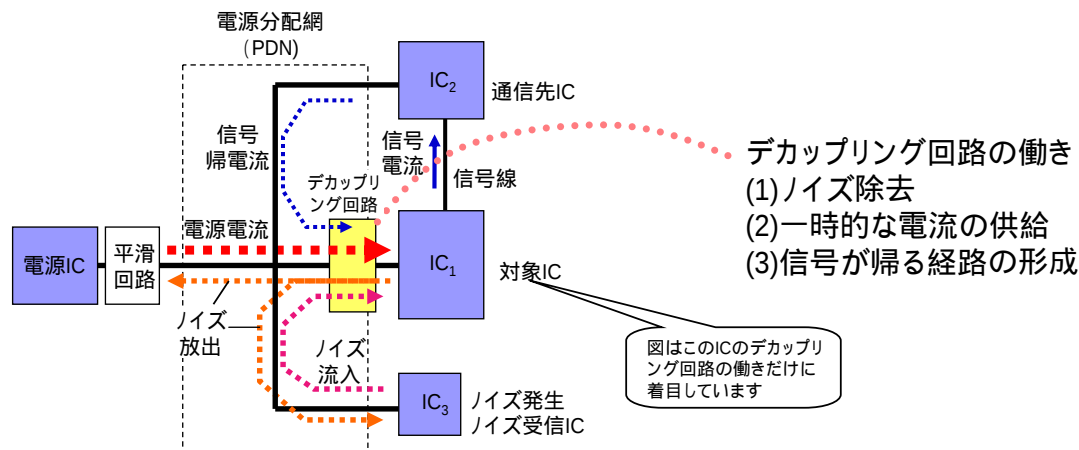
この回路が十分に機能しないときは図 1-4 に示すように

- (1) 外部にノイズが流出し、他の回路 (IC₃ など) の動作に支障が出たり、機器から放射するノイズが増える。
- (2) 外部からノイズが侵入し、IC の動作に支障が出る。
- (3) 電源電圧が変動し、IC の動作に支障が出たり、信号品位が低下したり、信号に重畳するノイ

が増える。

(4) 信号電流の帰路が不十分となり信号品位が低下する。

などの不具合が起きる可能性があります。したがって、適切なデカップリング回路を形成することは、ノイズ除去と回路動作の双方で重要です。



デカップリング回路の働き	主な性能指標	対象周波数 1kHz 1MHz 1GHz	問題となるノイズや評価項目の例
(1)ノイズの除去	挿入損失 (透過係数・減衰量)		ノイズ測定 (端子電圧、放射電界、近磁界分布)
(2)電流の供給	インピーダンス (反射係数)		電圧変動、過渡電圧応答
(3)信号の経路			信号波形(アイダイアグラム)

図 1-3 IC₁に着目したときの電源用フィルタ(デカップリング回路)の働き

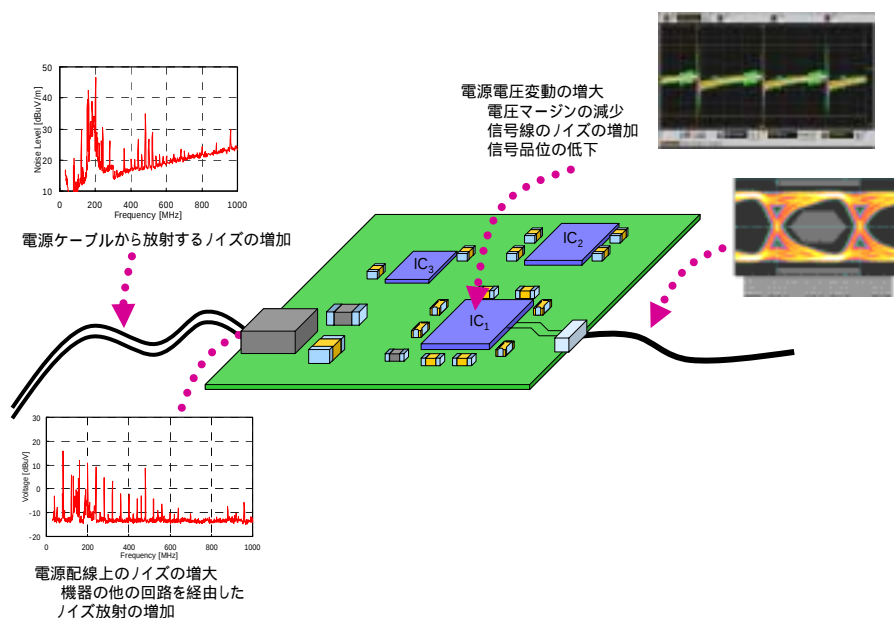


図 1-4 電源ノイズの影響の例

比較的動作周波数の低い回路や、ノイズに対するマージンの大きな回路では、このデカップリング回路は電源とグラウンドをつなぐバイパスコンデンサを IC の電源端子の近くに配置することで容易に形成できます。このバイパスコンデンサをこのテキストではデカップリングコンデンサと呼びます。ただし、より速度の速い IC や、ノイズ発生の大きな IC、ノイズに敏感な IC では、より高性能なデカップリング回路が必要です。

このテキストは、この高性能なデカップリング回路の設計にお役立ていただけるように、電源で使われる部品の働きと、部品の適切な選び方を解説することを目指して作成されています（ただし、図 1-3 に示す平滑回路は対象から除いています）。

一般にデカップリング回路の性能は、図 1-3 (1)のノイズ除去の観点では主に挿入損失で、(2)の電流供給や(3)の信号経路形成の観点ではインピーダンスで評価されることが多いようです。この2つは視点が異なりますので、このテキストでは前半（2章から5章）ではノイズ除去性能に着目し、主に挿入損失を指標にとって解説します。また、後半（6章から8章）では電流供給性能に着目し、主にインピーダンスを指標にとって述べることにします。

2. デジタル IC の電源ノイズ発生とデカップリング回路の構成

最初に、ここで説明するデカップリング回路（電源用フィルタ）が対象にする、デジタル IC の電源ノイズの発生の仕組みと、これに対する一般的なデカップリング回路の構成法と、その特性の概要を解説します。

2.1 電源ノイズ発生の仕組み

デジタル IC で主に使われている C-MOS 回路の簡略化したモデルを図 2-1 に示します。ここでは簡単のために、ドライバ側の C-MOS トランジスタの働きをスイッチで、レシーバ側の C-MOS トランジスタのゲート容量をグラウンドに接続したコンデンサで表しています。C-MOS デジタル IC では、このドライバ側のスイッチが信号線を電源(VDD)側、もしくはグラウンド(GND)側に接続することで、信号出力レベルをそれぞれ「1」、「0」にすると考えることができます⁶⁾。

通常、C-MOS デジタル回路の電源には信号レベルが変化しないときはほとんど電流が流れないのですが、信号レベルが切り替わるときは、「0→1」のときはゲート容量の充電電流が、「1→0」のときは放電電流が、図 2-1 に示すように信号線をパルス状に流れ、これに応じて電源やグラウンドにも電流が流れます。また、この電流とは別に、ドライバの電源からグラウンドに対して信号の切り替わる一瞬だけ電流が流れる場合があり、貫通電流と呼ばれています。貫通電流も電源やグラウンドにパルス状の電流が流れる原因となります。

これらの電流はパルスが鋭いため非常に広範囲な周波数成分を含んでおり、エネルギーの一部が外部に放射されるとノイズ障害を与える原因となります。また、急峻な電流の変化は電源やグラウンドのパターンのインダクタンスにより電源電圧の変動を引き起こしますので、同一の電源を使う周辺の回路の動作を不安定にします^{7) 8)}。

そこで、ノイズの放射を抑えたり、電圧変動が周囲の回路に影響しないように、電流を IC の周辺に閉じ込める(IC を周辺の回路とデカップリングする)必要があります。一方で、電源電圧の変動は、ノイズを発生させている IC 自身の動作も不安定にしますので、ノイズによる電源電圧の変動を許容範囲に抑制する必要があります。図 1-3 に示したデカップリング回路はこれらの目的のために使われていると考えられます。

なお、図 2-1 では説明を簡単にするために、グラウンドに対してゲート容量を考えたモデルとしており、充電電流、放電電流はグラウンドを経由して流れるとしていますが、ゲート容量は電源に対しても発生していますので、充電電流、放電電流が電源を経由する場合も考慮する必要があります。

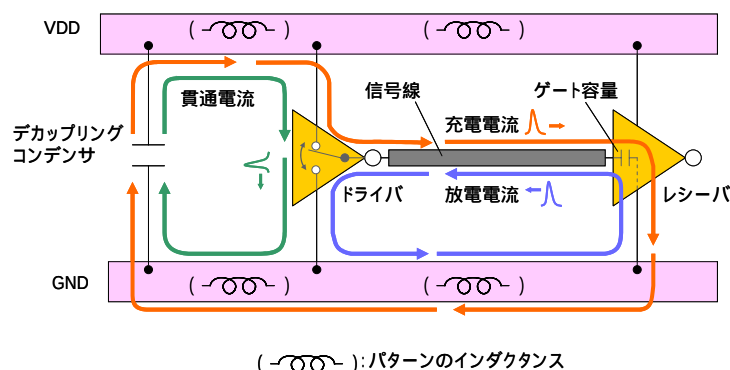


図 2-1 デジタル IC の簡略化したモデル

通常、電源に流れる電流を IC の周辺に閉じ込めるには、図 2-1 のように電源とグラウンドの間にコンデンサを取り付けバイパス経路を作ります（後述のようにインダクタを組み合わせることもあります）。このコンデンサはデカップリングコンデンサと呼ばれていますが、効果的なデカップリング回路を作るには、

- (1)高周波で良好に機能するバイパス経路を作ること
 （インピーダンスの小さなコンデンサを使うこと）
 - (2)電流の流れる範囲を小さく限定すること（コンデンサを IC の近くに配置すること）
 - (3)パターンのインダクタンスを小さくすること（特に IC とコンデンサの間）
- などが重要です。

図 2-2 に、これらの点を考慮したコンデンサの配置と電源パターン形状の一例を示します。（IC 下に配線可能で単層で配線する場合の例です）

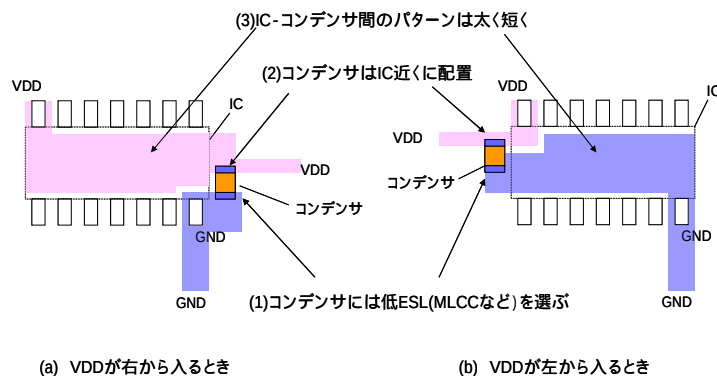


図 2-2 デカップリングコンデンサの配置の例

このテキストでは、このような理想的な配置が困難な場合の配線ルールや、より性能の良いデカップリング回路が必要な場合の構成方法について、3 章以降で解説します。

2.2 ノイズを見る視点と評価項目

デカップリング回路の性能評価には、目的に応じていくつかの測定方法が使われています。

1 章の図 1-3 で述べたようにデカップリング回路には、(1)ノイズの除去、(2)一時的な電流の供給、

(3)信号が帰る経路の形成の3つの働きがあります。

このうち、(1)ノイズの除去は、IC の電源から外部に流出するノイズを除去したり、外部から IC に侵入するノイズを遮断する働きを言います。この性能の評価には、図 2-3 に示すように、デカップリング回路を挟んでノイズ源の反対側で測った値を用います。すなわち、IC から流出するノイズを問題にするときは、PDN 側(測定点 A)で測り、外部から IC に侵入するノイズを問題にするときは、IC の電源端子(測定点 B)で測ります。

このときの測定項目には、オシロスコープで観測した電圧波形や、スペクトラムアナライザで測定した電圧スペクトラムなどが使われます。このテキストでは必要に応じて、実験結果の中でこれらの方法で取得したデータを示しています。一方、デカップリング回路の性能を比較することに重点をおく場合には、実際の回路で電圧やスペクトラムを測るのではなく、挿入損失特性が使われます⁹⁾。挿入損失の測定にはネットワークアナライザなどが使われ、測定条件が決まっているため再現のよい測定ができるので、部品の性能を比較するのに適しています。このテキストでは主にこの挿入損失特性でデカップリング回路の性能の比較を行います。この挿入損失の測定法は、2.3 項で述べます。

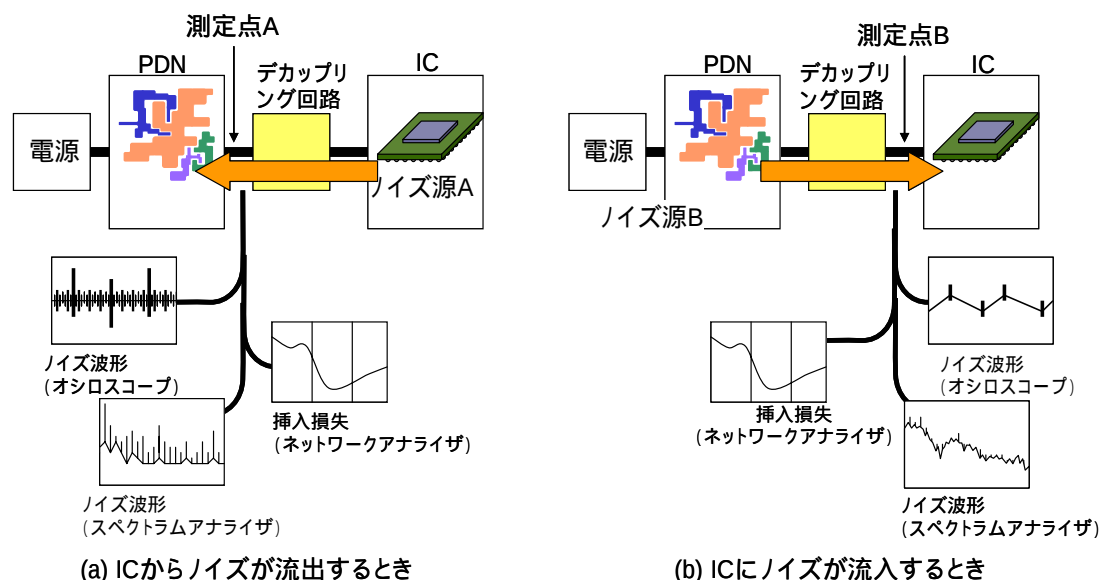


図 2-3 ノイズ除去性能をみるときの各種の測定項目

一方、図 1-3 の(2)一時的な電流の供給や、(3)信号が帰る経路の形成の観点からフィルタの性能を評価する場合もあります。この場合は、図 2-4 に示すように、IC の電流が変化したときの電源電圧の安定化や、信号品位の確保が課題となります。従って、図 2-4 に示すように、測定箇所には IC の電源端子側である測定点 B'や、信号出力端子である測定点 C を用います。

測定項目には、電源である測定点 B'ではノイズの波形やスペクトラム、インピーダンス、信号である測定点 C ではジッターやスペクトラムなどが使われています。このうちデカップリング回路の性能を比較することに重点をおく場合には、再現性の良いインピーダンス特性が使われますので、このテキストでは主にこのインピーダンスで説明を行います。

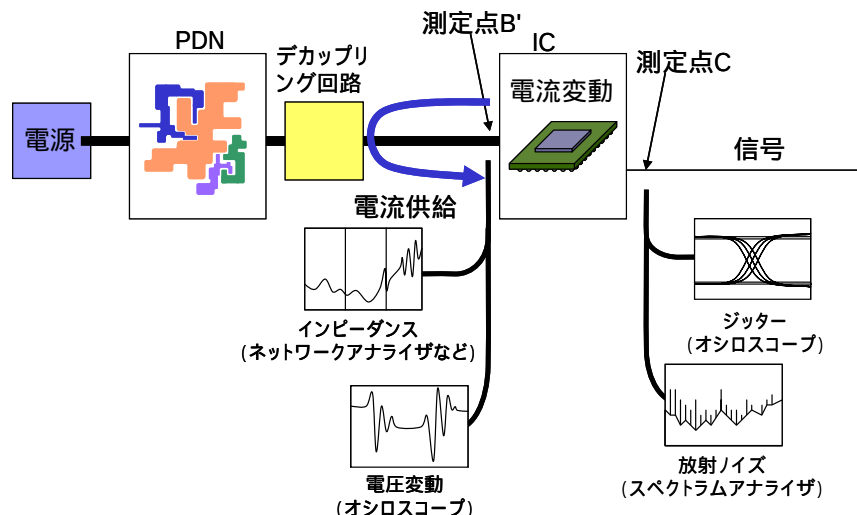


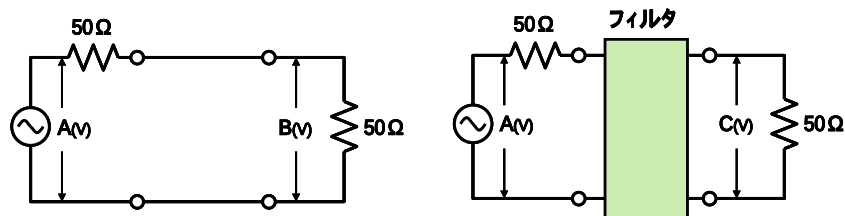
図 2-4 電流供給性能をみるときの測定

2.3 挿入損失の測定方法

一般にノイズフィルタの性能は挿入損失で表現されています⁶⁾。電源に使われるデカップリング回路もノイズフィルタの一種ですので、ノイズ除去性能は挿入損失で表すことができます。

挿入損失の測定回路を図 2-5 に示します。挿入損失 (Insertion Loss: I.L.) は、図のようにインピーダンスが $50\ \Omega$ の回路にフィルタを取り付けたとき、取り付ける前後の出力電圧の変化を観測し、dB で効果の大きさを表したものです。挿入損失が大きいほど、ノイズを除去する性能が良いフィルタといえます。

なお、挿入損失は、 $50\ \Omega$ 系で測定した S パラメータの透過係数 (S_{21}) の振幅で代用することができます (挿入損失と S_{21} とは符号が反対になる点が異なります)。



$$\text{挿入損失 (Insertion Loss)} = 20 \log \left| \frac{B}{C} \right| \text{ (dB)} \quad (2-1)$$

図 2-5 挿入損失測定回路

2.4 バイパス(デカップリング)コンデンサ

次に、デカップリング回路の基本的な構成方法を紹介します。構成要素の一つは図 2-1 に示したようにデカップリングコンデンサです。

IC の電源端子に図 2-6 (a)に示すようにデカップリングコンデンサを使ったとき、フィルタとしては図 2-6 (b)のように電源からグラウンドに対してバイパスコンデンサが形成されています。ここでは多層基板で使うことを想定して、IC とコンデンサのグラウンドは via でグラウンドプレーンに接続するとしていま

す。

このときの挿入損失は、コンデンサのインピーダンスが小さいほど大きくなります。コンデンサのインピーダンスは周波数に反比例して小さくなりますので、このフィルタは高周波で挿入損失の大きなフィルタ、すなわちローパスフィルタとなります。

図 2-6 に示したフィルタの特性は、実際の回路では IC 電源の内部インピーダンスや PDN のインピーダンスによって変わってきますが、フィルタの性能を比較するにはインピーダンスを決めておく必要がありますので、図 2-5 に示したように、インピーダンスを 50Ω に揃えて測定するのが一般的です。実際の回路に取り付けたときの特性は、 50Ω で測定した結果から推定することになります。

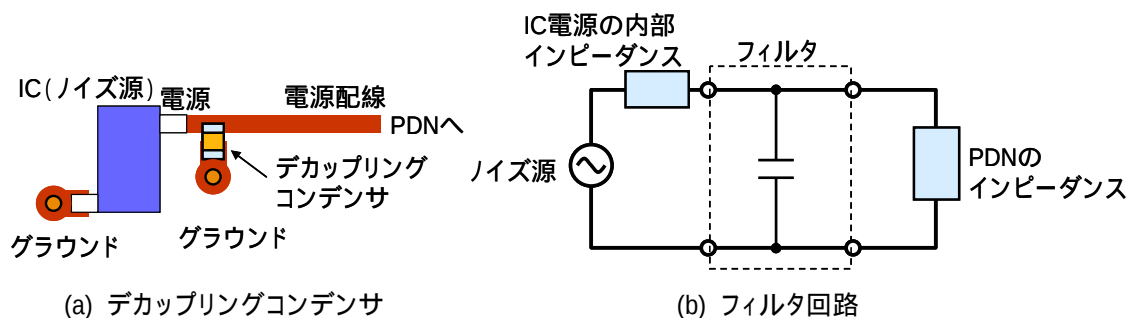


図 2-6 デカップリングコンデンサによるフィルタ回路

50Ω で測定したときのバイパスコンデンサの挿入損失特性の理論値を図 2-7 に示します。コンデンサの静電容量が大きくなるにつれ、また、周波数が高くなるにつれて、コンデンサの挿入損失は直線的に増大します。これは、コンデンサのインピーダンスが周波数に反比例して小さくなることに対応しており、静電容量の大きなコンデンサほど基本的にはノイズ除去効果が優れていることを示しています。

挿入損失は図 2-5 に示したように dB で表されますので、周波数が 10 倍になるにつれ、また、静電容量が 10 倍になるにつれて、20dB 増加する性質があります。

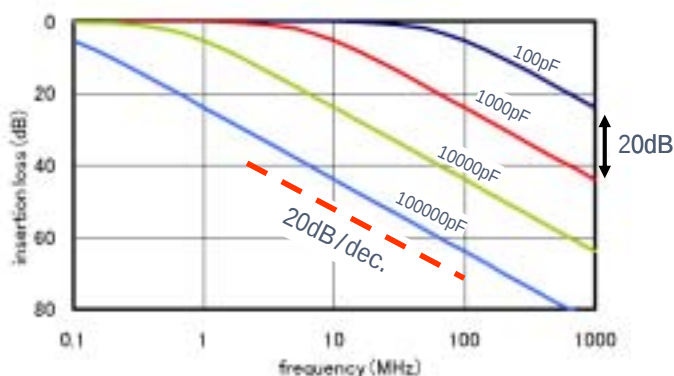


図 2-7 コンデンサの挿入損失特性(理論値)

これに対して、コンデンサの挿入損失の実際の特性は図 2-8 のようになり、10MHz 以上の高周波域では周波数が高くなるにつれて挿入損失が小さくなる傾向があります。これは後述するように、コンデンサに含まれる微小なインダクタンス分(ESL)や抵抗分(ESR)により挿入損失が制約されるためと考

えられます。このことから、高周波でノイズ除去性能の優れたデカップリング回路を形成するには、ESLやESRの小さいコンデンサを使う必要があることがわかります。

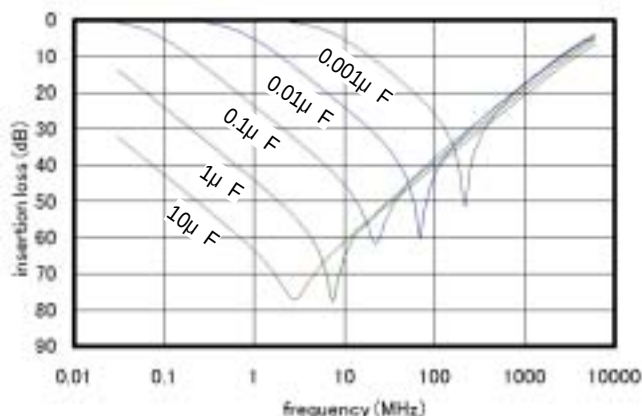


図 2-8 コンデンサの挿入損失特性

(Murata Chip S-Parameter & Impedance Library のデータから換算)

2.5 インダクタ、フェライトビーズ

一般にノイズ除去フィルタを形成するには、上述のバイパスコンデンサのほかに、配線に直列にフェライトビーズなどのインダクタを挿入する方法があります⁹⁾。電源用デカップリング回路でもインダクタが使われます。

ただし、IC の電源にインダクタだけを使用すると、ノイズ除去の観点からは問題なく機能しても、電源端子からみたインピーダンスが高くなり、IC の動作に支障が出たり、信号の帰電流が阻害されて信号品位が保てなくなる可能性があります。そこで通常は、図 2-9(b)、(c)に示すように IC 直近にはコンデンサを配置する方向で、コンデンサとインダクタを組み合わせ使用します。(高周波増幅器などでは、特定周波数だけをブロックするために IC 側にインダクタを配置する場合がありますが、デジタル IC では一般に図 2-9 の組み合わせを使います)

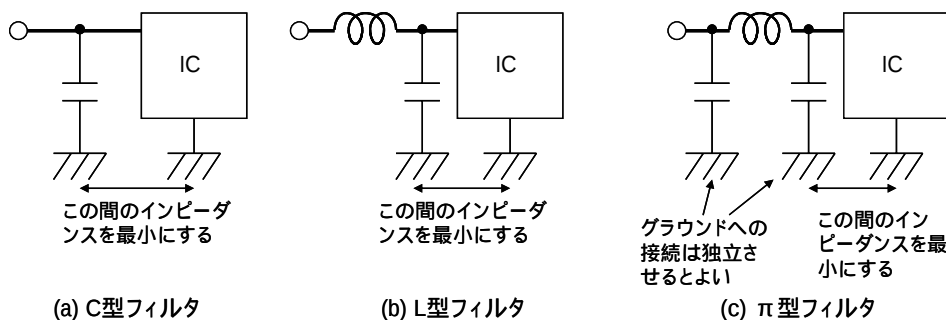


図 2-9 IC 電源で使われるフィルタ構成(C 型、L 型、π 型)

図 2-9 (b)、(c)のようにコンデンサとインダクタを組み合わせると、(a)のコンデンサだけの場合に比べて、挿入損失の特性曲線の傾きを大きくできます。また、これとともに減衰域の挿入損失を大きくできますので、ノイズを大きく減衰させたいときに有利となります。図 2-10 にインダクタを組み合わせせたときの挿入損失の変化の例を示します。

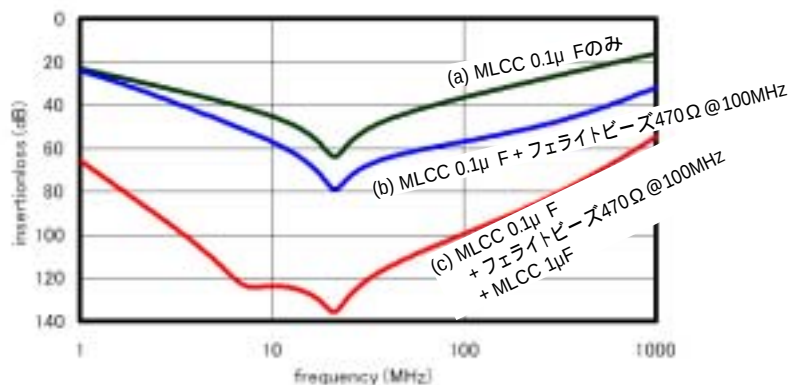


図 2-10 インダクタを組み合わせたときの挿入損失の変化の例 (計算値)

なお、図 2-9 で、IC のグラウンドと直近のコンデンサのグラウンドは、ノイズの帰還経路となるので、インピーダンスが最小となるように最短で配置します。また、図 2-9 (c)のように π 型フィルタを形成するときは、ノイズがグラウンドを経由してインダクタをバイパスする (グラウンドの条件が悪い場合) ことを防ぐために、コンデンサのグラウンドへの接続 (via など) を分けて設けるほうが望ましいと言えます (グラウンドプレーンは共用します)。

図 2-9 で示したデカップリング回路は、基本的には IC から放出されるノイズだけではなく、外部から侵入するノイズにも適用できます。例えば携帯電話など、強い高周波エネルギーとともに使われる回路では、より大きな挿入損失を得るために、コンデンサとインダクタを組み合わせたデカップリング回路が適しています。

2.6 コンデンサに必要な静電容量

図 2-9 (b)、(c)のようにデカップリング回路にインダクタを使うときは、インダクタを使わない図 2-9 (a) に比べてコンデンサの静電容量を大きくする必要がある場合があります。これは電源に複数の IC が接続されているときは各所のデカップリングコンデンサが並列に働き実質的な静電容量が拡大していたり、電源モジュールのサポートにより、電源端子から見たインピーダンスが比較的低くなっているのに対して、インダクタを使った場合は、該当 IC の電源をサポートするコンデンサはインダクタの内側のコンデンサだけに限定されてしまうためです。

ここでは一例として、図 2-9(b)のようにインダクタを装着したときに必要な静電容量をおおまかに見積もる手法を示します。インダクタの内側で必要なコンデンサの静電容量は、以下の式で設定することができます。

$$C \geq \frac{L}{Z_T^2} \quad (2-2)$$

ここで C は必要となるコンデンサの静電容量 (F)、 L はインダクタのインダクタンス (H)、 Z_T は IC が必要とする電源インピーダンス: ターゲットインピーダンス (Ω) です。

Z_T の設定には様々な考え方がありますが、IC の瞬間過渡電流 ΔI (A) と許容電圧変動 ΔV (V) を用いると、以下のように設定できます。¹⁰⁾

$$Z_T = \frac{\Delta V}{\Delta I} \quad (2-3)$$

以上の式から、例えば、 $\Delta I=0.1\text{A}$ 、 $\Delta V=200\text{mV}$ の IC のデカップリング回路に、 $L=1\mu\text{H}$ (600Ω @ 100MHz 程度) のインダクタを使ったときの、コンデンサに必要な静電容量を見積もってみます。まず、式(2-3)より、 $Z_T=2\Omega$ となります。この値を式(2-2)に代入しますと、 $C=0.25\mu\text{F}$ が得られます。この場合、IC のデカップリングコンデンサには最低でも $0.25\mu\text{F}$ の静電容量が必要なことがわかります。

式(2-2)からは、インダクタンスが大きいほど、必要な静電容量が増えることがわかります。これは、インダクタンスが大きくなると、より低周波よりインピーダンスが大きくなるため、コンデンサでインピーダンスを下げる必要のある周波数範囲が低周波側に拡大するものと考えられます。

なお、式(2-2)は大まかな目安を与えるための式ですので、実際の回路で使用する場合は静電容量が不足する場合があります。回路設計に適用するときは十分に余裕のある静電容量を設定してください。

3. コンデンサによるノイズの除去

コンデンサやインダクタをデカップリング回路に使ったときのノイズ除去効果は、理想的には周波数が高くなるにつれて大きくなりますが、現実には 10MHz 以上の高周波域では効果が小さくなる傾向があります。効果が小さくなる原因にはコンデンサ自身の特性もありますが、コンデンサをプリント基板上で使うときの使い方に原因があるときもあります。ここではデカップリング回路で使われるコンデンサの周波数特性が変化する要因とノイズ除去効果への影響について解説します。

3.1 コンデンサの周波数特性

積層セラミックコンデンサ (MultiLayer Ceramic Capacitor: 以下 MLCC) は周波数特性の優れたコンデンサとして広く使われていますが、それでも若干の抵抗分、インダクタンス分を持っており、これらの要素により高周波では理想とは異なる特性を示します。コンデンサの一般的な等価回路を図 3-1 に示します¹⁾。図 3-1 で、ESR は抵抗分を、ESL はインダクタンス分を表しています。これらの要素の影響により、コンデンサのインピーダンスは図 3-2 に示すような V 字型の周波数特性を示します。

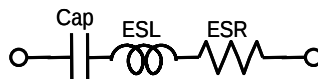


図 3-1 コンデンサの等価回路

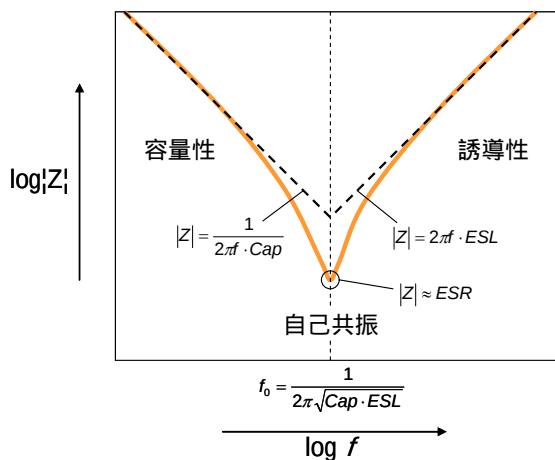


図 3-2 コンデンサの周波数特性

コンデンサのインピーダンスは、図 3-2 の左側の低周波域では理想的なコンデンサに近い特性を示して ほぼ直線的に減少します (図 3-2 で「容量性」と示した部分です)。その後、ある周波数で極小値を示し (図で「自己共振」と示しています)、それ以上の周波数では、ほぼ直線的に増加します (図で「誘導性」と示しています)。自己共振のときのインピーダンスは ESR に、誘導性のときのインピーダンスは ESL に対応しています。従って、高周波でインピーダンスの小さいコンデンサを得るには、ESR や ESL の小さいコンデンサを選ぶことが重要といえます。

コンデンサをバイパスコンデンサとして使ったときのノイズ除去効果はこのインピーダンスに対応しています (インピーダンスが小さいほど、ノイズ除去効果は大きい)。従って、挿入損失特性は、図 3-2 と

同様に V 字型の周波数特性を描きます。一例として MLCC のインピーダンスと挿入損失を比較した例を図 3-3 に示します。

ここではコンデンサのサイズを $2.0 \times 1.25\text{mm}$ (GRM21 シリーズ)に統一して、静電容量を変化させたときの特性曲線の動きを比較しています。左右の曲線はほぼ同一の形状を示しており、コンデンサのインピーダンスがほぼ 25Ω になる周波数で、挿入損失ではカットオフ(3dB)周波数が表れることがわかります。これは、図 2-5 の挿入損失測定回路で、バイパスコンデンサのインピーダンスが測定系のインピーダンス(50Ω)に対して無視できない大きさとなるためだと考えられます。

また、図 3-3 からは、特性曲線が、コンデンサが容量性を示す領域では静電容量に応じてきれいに分かれるのに対して、誘導性を示す領域ではほとんど重なり合っていることがわかります。これは、MLCC の ESL が静電容量とは別の要因に支配されているためと考えられます。

この誘導性の領域で大きく特性を改善するには、ESL を削減したコンデンサが必要です。このようなコンデンサについて4章で詳しく述べます。

なお、このテキストでは MLCC と記載した場合、通常タイプの (ESL を削減するための特殊な構造をとらない) 積層セラミックコンデンサを指すものとします。

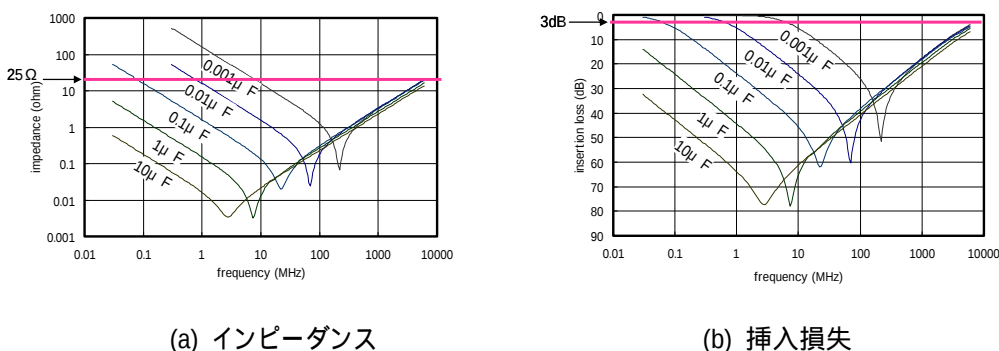


図 3-3 コンデンサの周波数特性の例
(Murata Chip S-Parameter & Impedance Library から)

3.2 コンデンサを取り付けるパターンの影響

以上に示したコンデンサの挿入損失特性は、コンデンサをプリント基板に理想的な条件で取り付けたときの特性ですので、実際の基板で使うときはこれとは異なっている場合があります。たとえば電源配線からグラウンドに対して図 3-4 のようにコンデンサを接続することを考えると、コンデンサを取り付けるパターンや via のインダクタンスがコンデンサに直列に入ることになります。このような基板実装で生じるインダクタンス分 ($ESL_{(PCB)}$)を加味すると、コンデンサの挿入損失特性は図 3-5 のように変化し、誘導性の部分 (高周波域) で挿入損失が減少することがわかります。

高周波のノイズを除去するためにコンデンサを使うときは、この実装インダクタンス ($ESL_{(PCB)}$)が小さくなるように配線を太く短く設計することが必要です。また、 $ESL_{(PCB)}$ は挿入損失 (ノイズ除去効果) だけではなく、電源インピーダンスの観点からも小さく抑える必要があります。配線の持つインダクタンスの値や電源インピーダンスを抑制するための配線設計については、7章で詳しく紹介します。

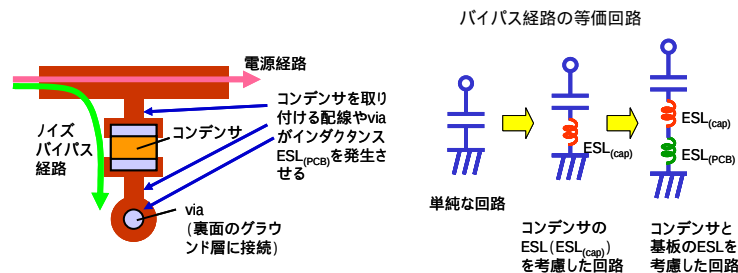


図 3-4 コンデンサを取り付ける配線の影響

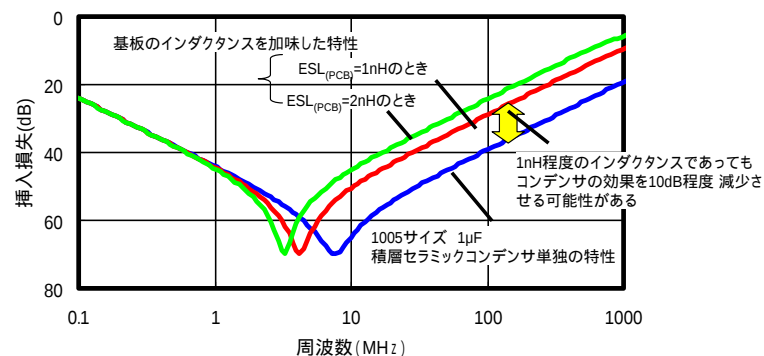


図 3-5 実装インダクタンスによるコンデンサの特性変化（計算値）

3.3 ノイズの経路とコンデンサの搭載位置

コンデンサを取り付けるときの実装インダクタンス ($ESL_{(PCB)}$) はノイズの経路とコンデンサの搭載位置の関係によっても変わることがあります。例えば図 3-6(a)のようにコンデンサがノイズの経路の途中にあるときは、 $ESL_{(PCB)}$ はコンデンサを取り付けるパターンとvia の分だけとなり、比較的小さくなります。これに対して搭載位置が図 3-6(b)のようにノイズの経路とは反対側にあるときは、図に示したように、電源端子から搭載位置までの全ての配線が $ESL_{(PCB)}$ に加わりますので、 $ESL_{(PCB)}$ が大きくなります。このような場合は高周波ではコンデンサの効果が小さくなります。ここではこのようにノイズの経路から外れた配線を「枝分かれ配線」と呼ぶことにします。

この枝分かれ配線が長さ 10mm の MSL (Micro Strip Line) であるとして、挿入損失の変化を計算した例を図 3-7 に示します。この例では 10MHz 以上の周波数域で 20dB 近く挿入損失が小さくなっています。

電源回路のようにパターン形状が複雑で、ノイズ源となる電源端子が複数ある場合は、コンデンサの対象とするノイズ源と伝導経路を想定して、枝分かれ配線がないようにコンデンサを配置する必要があります。

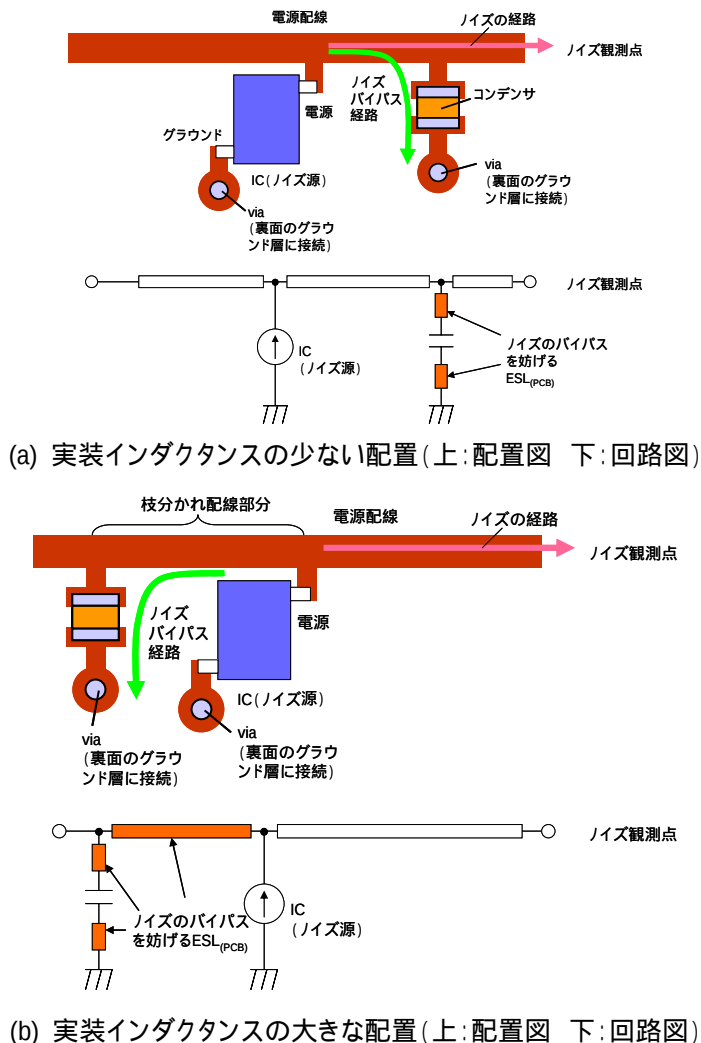


図 3-6 ノイズの経路とコンデンサの配置の関係

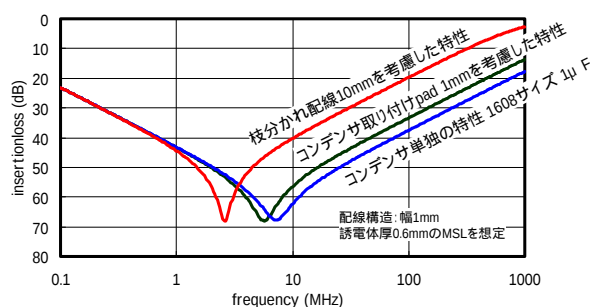
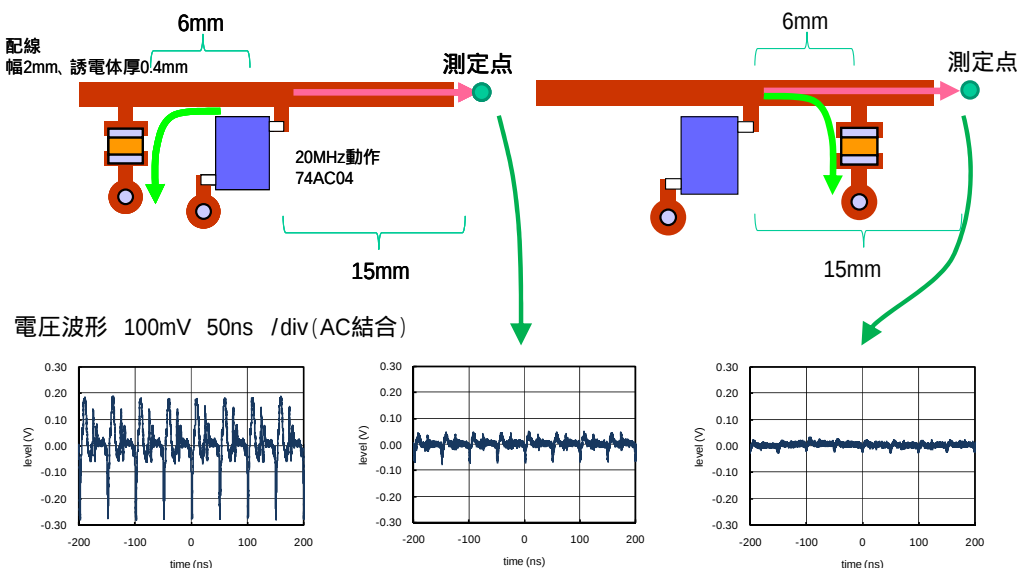


図 3-7 枝分かれ配線のあるときの挿入損失の変化例 (計算値)

図 3-8 は、図 3-7 で示した枝分かれ配線の影響を実験で確認した例です。20MHz で動作するデジタル IC の電源端子に表れたノイズを、電源端子から 6mm に位置に 1608 サイズ、1 μ F の MLCC を取り付け、除去しています。ノイズの大きさは、電源端子から 15mm の位置にオシロスコープをつないで測定した電圧波形で確認しています。

図 3-8 (a)はコンデンサのないとき、(b)はノイズの経路の反対側にコンデンサを取り付けたとき(枝分

かれ配線があるとき)、(c)はノイズの経路の途中にコンデンサを取り付けたとき(枝分かれ配線がないとき)の測定結果を示しています。図 3-8(b)に比べて、(c)の場合では電圧変動(リップル)が 1/3 以下に小さくなっており、枝分かれ配線の有無がノイズ抑制に大きな影響を持つことがわかります。



(a) コンデンサのないとき (b) 枝分かれ配線があるとき (c) 枝分かれ配線がないとき

図 3-8 IC 電源のノイズ除去効果の確認結果 (電圧波形)

図 3-9 は図 3-8 と同一の回路を用いて、電源ノイズが変化する影響をノイズの放射で確認したものです。電源配線の一端にノイズを放射させるループアンテナを取り付け、ここから放射されるノイズを測定距離 3m で測定しました。図で H とあるのは水平偏波を、V とあるのは垂直偏波を表しています。図 3-8 と同様に、(a)は、コンデンサのないとき、(b)は、ノイズの経路の反対側にコンデンサを取り付けたとき(枝分かれ配線があるとき)、(c)は、ノイズの経路の途中にコンデンサを取り付けたとき(枝分かれ配線がないとき)の測定結果を示しています。

図 3-9 の結果からも、枝分かれ配線がある(b)に比べて、枝分かれ配線がない(c)の方が、放射がピークを示す周波数でみると、ノイズ除去効果が約 10dB 優れていることが確認できました。この 10dB の差は 6mm の枝分かれ配線部分のインダクタンスの影響であると考えられます。

また、図 3-8 ではたとえ枝分かれ配線がある場合でも、(a)と(b)を比べると電圧変動は 1/5 程度に抑制されているのに対して、図 3-9 では(a)と(b)を比べると放射のピークは 8dB 程度(約 1/2.5)しか変化していないことがわかります。この理由として、電圧変動には全ての周波数の影響が積算されて表れるのに対し、放射の測定では周波数ごとに測定されるため、今回の条件では比較的高周波の影響が強調されて観測されたものと考えられます。このように、枝分かれ配線のような $ESL_{(PCB)}$ の影響は、高周波のノイズを対象とするときに、より重要となると考えられます。

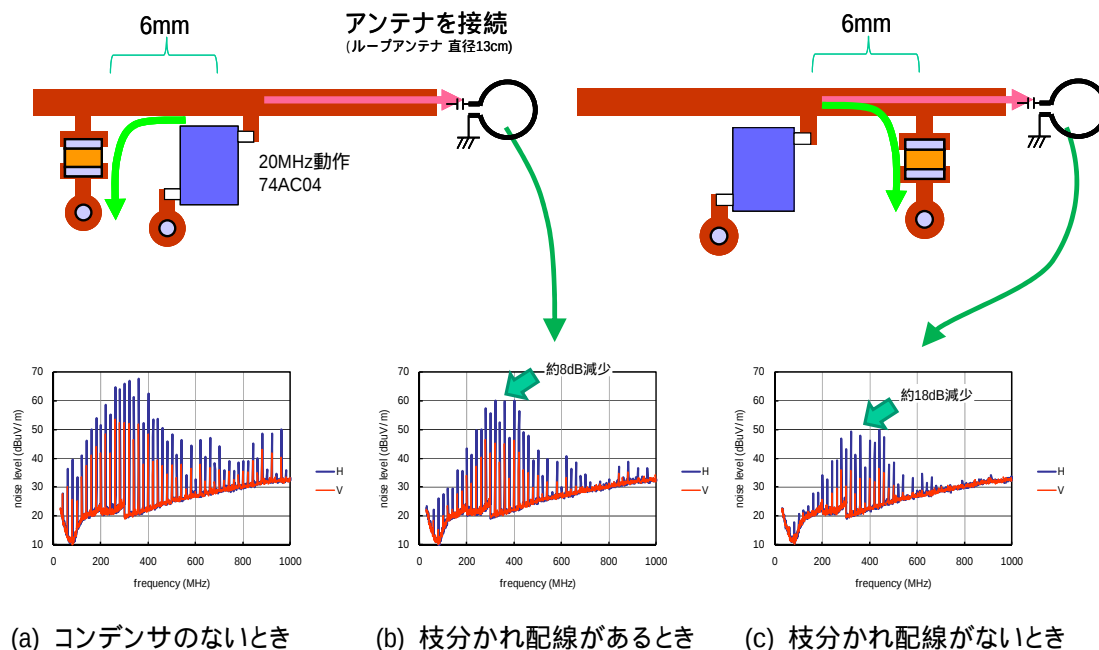


図 3-9 IC 電源のノイズ除去効果の確認結果 (ノイズ放射スペクトラム)

3.4 周辺回路のインピーダンスの影響

3.1 項で示したコンデンサの挿入損失特性は、コンデンサを 50Ω 系の回路に装着したときの値になっています。実際の電源回路はこれとは異なっていると考えられますので、コンデンサの効果を見積もるときは回路のインピーダンスを考慮した補正が必要です。一例として、周辺回路のインピーダンスが一定の抵抗値を示すものとして、コンデンサの特性の変化を計算した結果を図 3-10 に示します。

図 3-10 に示したように、一般にコンデンサの挿入損失はインピーダンスが低い回路では小さくなる傾向があります。電源回路は比較的低インピーダンスであると考えられますので、フィルタの設計の際は、この挿入損失の減少分を見込んでおく必要があります。また、このような低インピーダンスの回路でコンデンサの効果を高めるには、インダクタの併用も有効です。インダクタを付加したデカップリング回路については 5 章で紹介します。

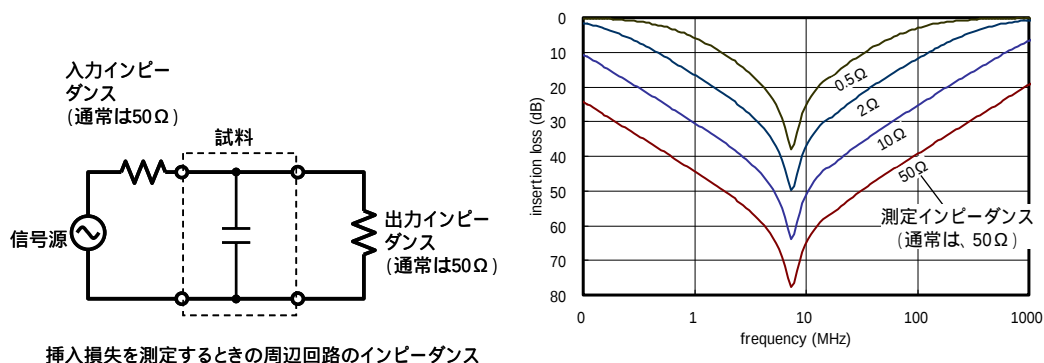


図 3-10 周辺回路のインピーダンスに応じた挿入損失の変化

3.5 コンデンサの並列接続と反共振

1つのコンデンサでは静電容量が足りない場合や、ESL や ESR が大きくて目標のインピーダンスや挿入損失が達成できないときは、図 3-11 のように複数のコンデンサを並列に使うことがあります。このとき、コンデンサ同士が並列共振（反共振と呼んでいます）を起こし、図 3-12 に示すように、一部の周波数のインピーダンスがコンデンサ1つの場合に比べても高くなってしまいますので注意が必要です¹¹⁾。（図 3-11 (b)の場合、コンデンサの間の配線がインダクタとして働くので挿入損失が大きくなる周波数もあるのですが、電源端子からみたインピーダンスが反共振の影響で大きくなる傾向があります）

反共振とは、図 3-13 に示すように、2つのコンデンサの自己共振周波数が異なるとき、片方のコンデンサが誘導性で、もう片方のコンデンサが容量性となる周波数領域において並列共振を生じ、全体のインピーダンスが大きくなる（理論的には無限大となる）現象をいいます。このため、反共振の周波数では挿入損失が小さくなります。

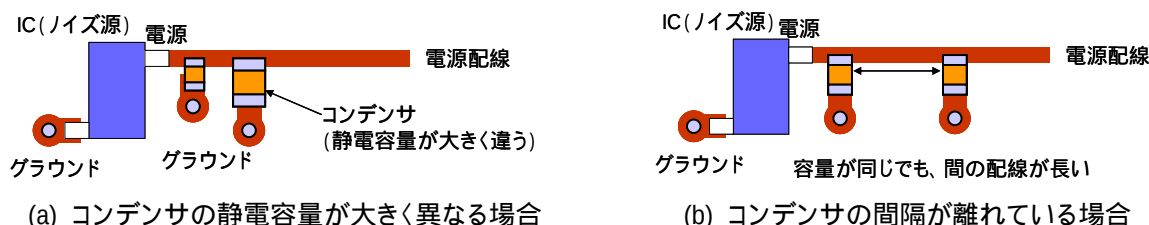


図 3-11 反共振のおきやすいコンデンサの接続の例

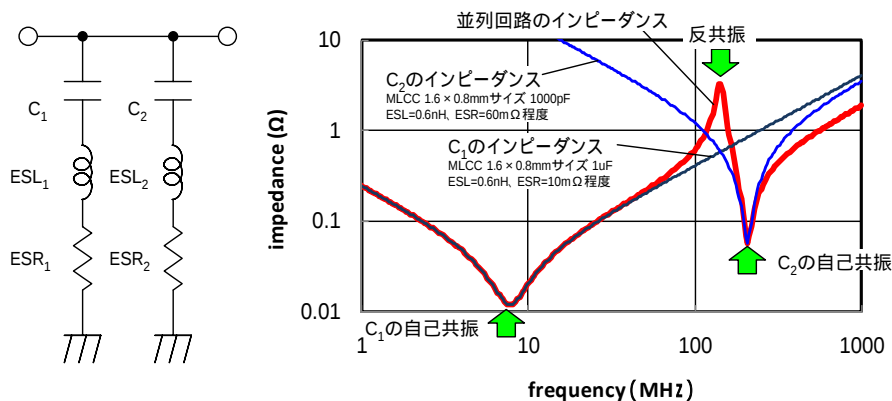


図 3-12 コンデンサの並列共振（計算値）

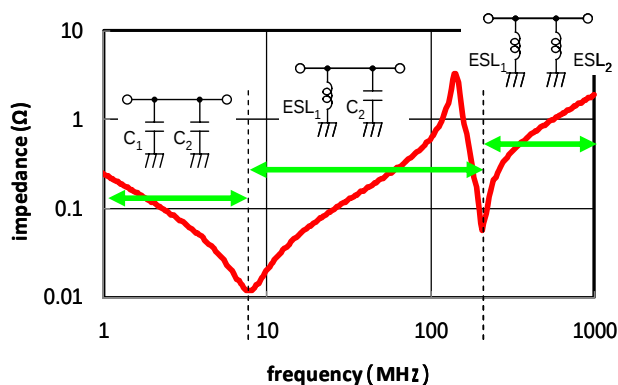


図 3-13 コンデンサの並列共振の仕組み

反共振を防ぐには、図 3-14 のように

- (1)コンデンサの間にフェライトビーズなどの共振抑制部品を挿入する
- (2)コンデンサの静電容量を揃えて自己共振周波数を合わせる
- (3)複数の静電容量を組み合わせるときは、静電容量の間隔を多くとも 10 倍以内にする

などの手法があります。

このうち、(1)の方法は挿入損失向上には極めて有効なのですが、2.6 項で紹介したようにインピーダンスを下げる効果は小さくなります。(2)、(3)の手法は反共振の完全な抑制は困難なのですが、実用上の不具合はある程度減少します。なお、図 3-14 (d)のように、ESL・ESR の小さい高性能なコンデンサ1つで目標の静電容量を達成できれば、反共振の不具合はなくなりますので理想的です。このような高性能なコンデンサについては 4 章で紹介します。

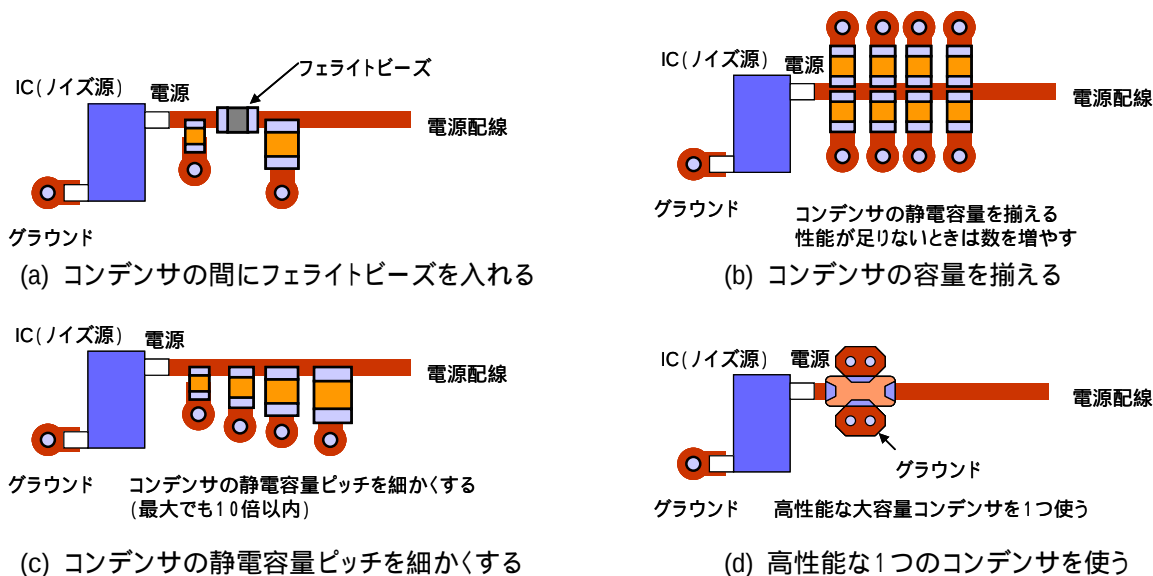


図 3-14 反共振を抑えるコンデンサの配置の例

図 3-15~17 は、この反共振の影響を実験で確認した例です。4MHz で動作するデジタル IC の電源端子に表れたノイズを、オシロスコープとスペクトラムアナライザで観測しています。測定は、デカップリング回路の左右(左:ノイズの入力側、右:ノイズの出力側)で行っています。

図では中央側にオシロスコープの測定結果を、外側にスペクトラムアナライザの測定結果を配置しています。いずれも、FET プローブを使って測定しています。(スペクトラムは放射ではなく、端子電圧を周波数分解したものとなります)

図 3-15 は、MLCC 2個を組み合わせたときの反共振の様子を観測したものです。上段は、MLCC 1個の場合で、この場合は反共振は生じていません。中段と下段は、図 3-11 の条件を適用して、意図的に極端な条件を作り反共振を起こした場合です。ここでは、1 μ F と 1000pF を配線を介して接続しています。図で矢印で示したように一部の周波数でノイズのスペクトラムが増大し、下段の場合は電源電圧の上でも強いリングングが観測されています。

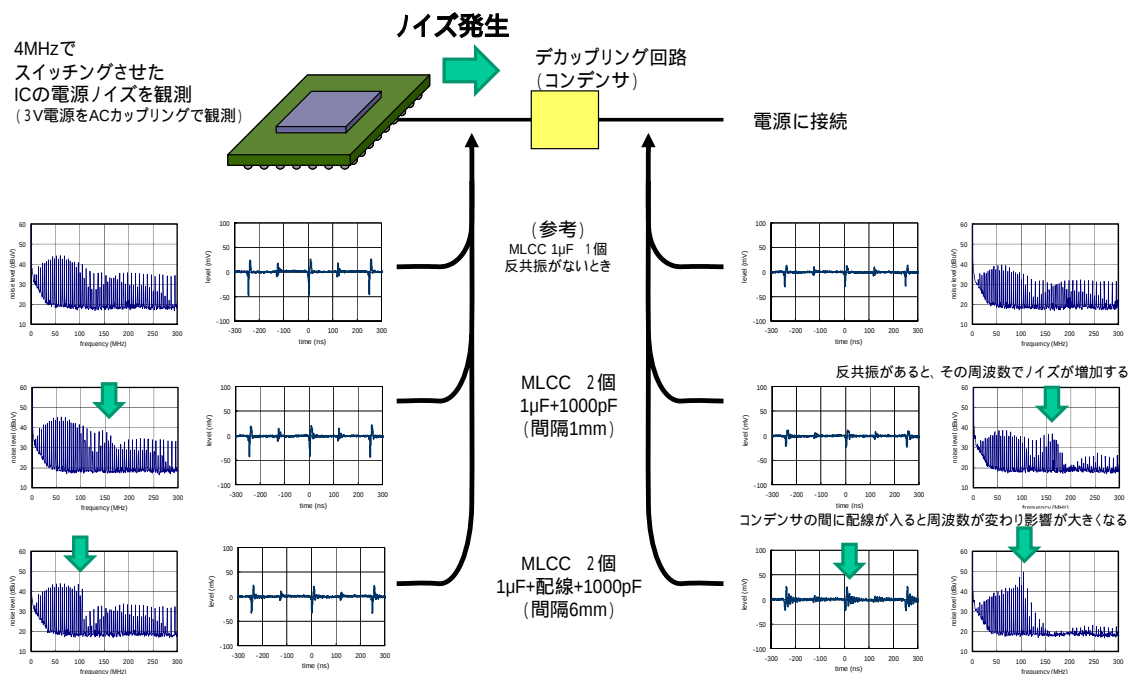


図 3-15 反共振が表れたときのノイズの観測結果の例

図 3-16 は、これに対して、反共振を抑えた場合の実験結果です。上段は、図 3-15 と同様に、MLCC 1個の場合です。中段は、図 3-14 (b)の条件を適用し、静電容量を揃えた場合です(コンデンサの個数は2個)。また、下段は、図 3-14 (c)の条件を適用し、静電容量ピッチを細かくした場合です(コンデンサの個数は4個)。これらの場合は、コンデンサの個数が増えるにつれ、電源電圧変動の大きさが小さくなり、ノイズのスペクトラムも減少しています。

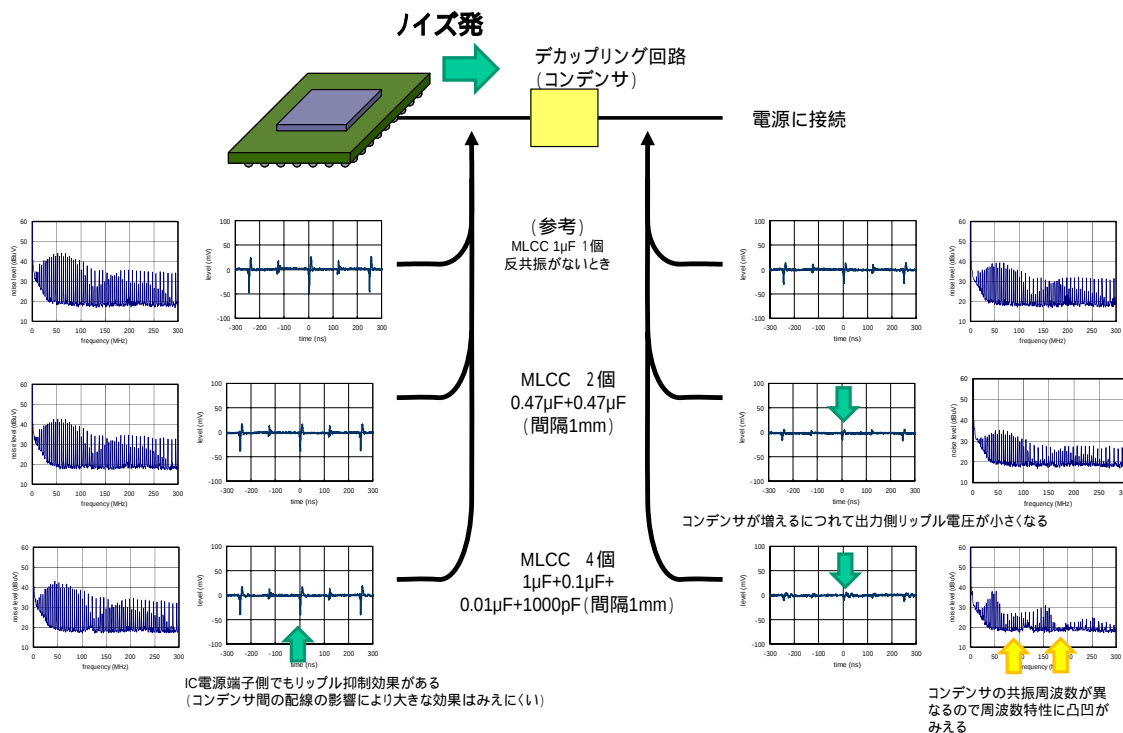


図 3-16 反共振が少ない組み合わせのときの測定結果

図 3-17 は、図 3-14(d)の例として、低 ESL コンデンサや3端子コンデンサを使った場合の実験結果を示しています。図の上段は、先と同様、比較のための MLCC 1個の場合です。

中段は、低 ESL コンデンサの場合です。電源電圧の変動の大きさが、デカップリング回路の左右ともに小さくなり、これに合わせてスペクトラムも小さくなっています。低 ESL コンデンサは電源電圧変動の抑制に特に有効な部品であると考えられます。

下段は、3端子コンデンサの場合です。右側の電圧変動とスペクトラムが特に小さくなっています。これは、3端子コンデンサの優れたノイズ除去特性が表れたものと考えられます。

これらの高性能なコンデンサについては、4 章で詳しく紹介します。

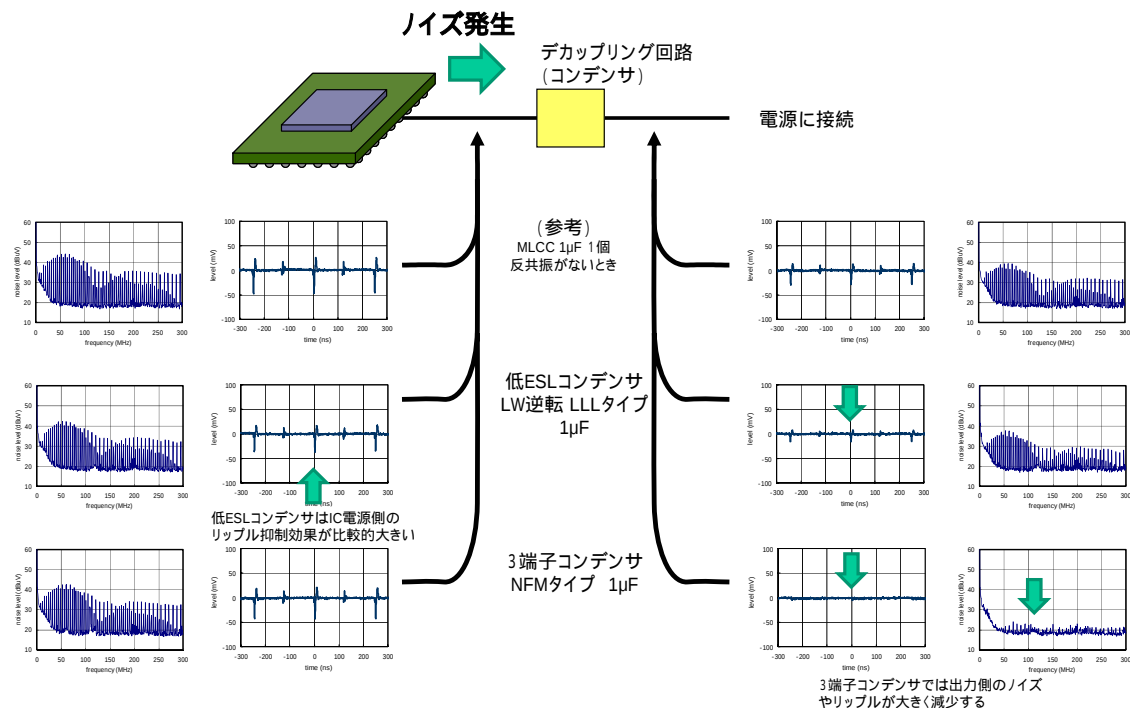


図 3-17 低 ESL のコンデンサを使ったときの測定結果

4. 高周波特性を改善したコンデンサ

3章では、コンデンサを IC 電源のデカップリング回路に使うときの一般的な周波数特性の解説をしましたが、ここでは ESL を削減して高周波特性を改善したコンデンサを紹介します。

4.1 低 ESL コンデンサ

MLCC の ESL は、図 4-1 に示すように外部・内部の電極に電流が流れるときに周囲に生じる磁束に応じて発生すると考えることができます。従って、電極の形状を変化させることで電流の経路や分布を変化させ、ESL を変化させることができます。

このように電極形状を工夫することで、ESL を削減したコンデンサの例を図 4-2 に示します。

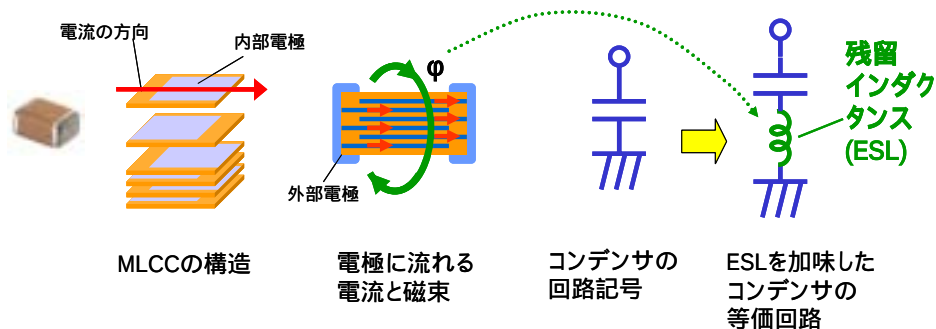


図 4-1 MLCC の ESL 発生仕組み



図 4-2 低 ESL コンデンサの形状

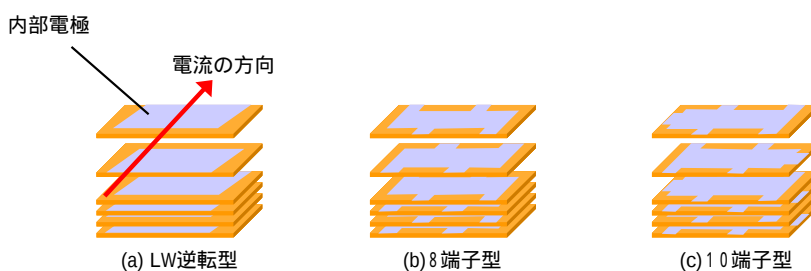


図 4-3 低 ESL コンデンサの構造（模式図）

図 4-2 (a)は、電極の幅を広げるとともに長さを短くすることでインダクタンスを削減したコンデンサで、縦横逆転コンデンサ、もしくは LW 逆転コンデンサと呼ばれています。図 4-3 (a)に内部構造の模式図を示すように、通常の MLCC に比べて内部電極の幅が広く、また長さが短くなっています。

図 4-2 (b)や(c)は、外部電極の数を増やすとともに、隣接する電極の極性を逆転させたコンデンサで、多端子コンデンサと呼ばれています。図 4-3 (b)、(c)に内部構造の模式図を示すように、内部電極を太く短く形成することに加えて、外部電極への接続が交互になるように内部電極の引き出し部を形

成しています。（いわゆるコンデンサアレイと外観形状は良く似ていますが、内部電極構造が全く違う部品です）

このような構造とすることにより、図 4-4 に示すように、電流が対向方向に流れる成分では電流同士に相互インダクタンスが生じ、お互いのインダクタンスを打ち消しあうよう働きます。また、電流が隣接電極間で流れる成分では、対向方向に流れる場合に比べて電流ループが極めて小さくなる効果があります。さらにこれらのインダクタンスが並列に接続されますので、部品全体では極めて小さな ESL が実現できます。

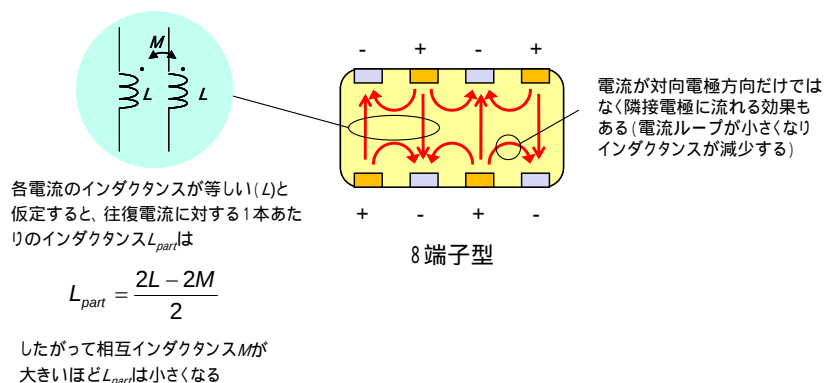


図 4-4 相互インダクタンスによるインダクタンス打ち消し効果

図 4-5 に通常の MLCC と低 ESL コンデンサのインピーダンスを比較した例を示します。1.6 × 0.8mm サイズで 1 μF のコンデンサ同士で比較したのですが、100MHz 以上の周波数域で LW 逆転コンデンサでは 1/5 程度、多端子コンデンサではさらに 1/2 程度にインピーダンスが減少しています。通常の MLCC に比べて多端子コンデンサでは、ESL が 1/10 以下になっているものと考えられます。

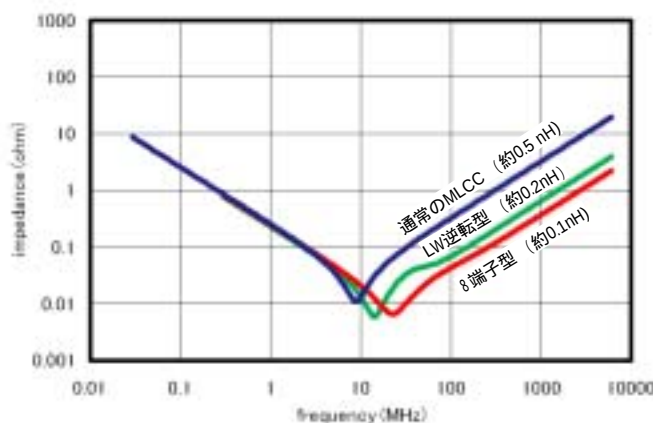


図 4-5 低 ESL コンデンサのインピーダンス特性の例
 (Murata Chip S-Parameter & Impedance Library より)

図 4-5 に示した特性は、コンデンサを測定用のマイクロストリップ線路 (MSL) にバイパス方向に取り付けたときの S パラメータから、インピーダンスに変換したものです。従って、部品単独の特性を（集中定数で近似できるとして）表したものとします。

一般にコンデンサをプリント基板に取り付ける場合には、コンデンサ自身の ESL に加えて、コンデンサにつながるパターンや via のインダクタンス (ESL_{PCB}) が加わる影響が無視できません。多端子コン

デンサを基板に実装するときも、図 4-6 に示すようにパターンや via のインダクタンスが加わりますが、図に示すように隣接する往復電流間のインダクタンス打ち消し効果はパターンや via の電流にも及びますので、 ESL_{PCB} の影響は比較的小さくなります。このため、MLCC を通常のパターンや via で使う場合に比べて、多端子コンデンサを専用のパターンや via で使った場合には、図 4-5 に示した性能差以上のインピーダンスの改善効果が得られる場合があります。

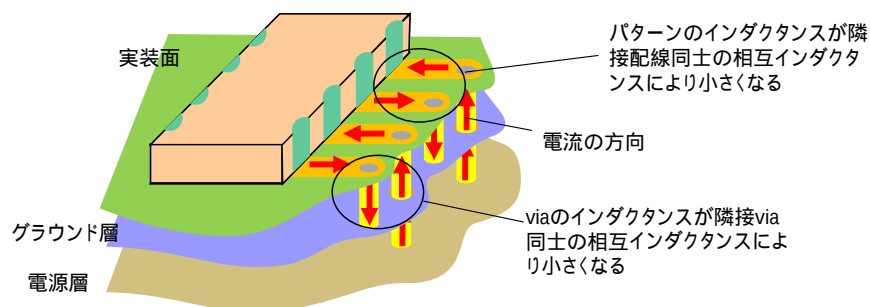


図 4-6 多端子コンデンサを実装するときのインダクタンス抑制効果

4.2 低 ESL コンデンサのラインナップ

現在商品化されている低 ESL コンデンサの概要を以下に示します。最新情報はカタログ等をご参照ください。

● LW 逆転コンデンサ LLL シリーズ

静電容量範囲

0.5 × 1.0 mm サイズ	: 0.1 - 0.22μF
0.8 × 1.6 mm サイズ	: 0.0022 - 2.2μF
1.25 × 2.0 mm サイズ	: 0.01 - 2.2μF
1.6 × 3.2 mm サイズ	: 0.01 - 10μF

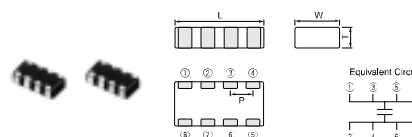


Part Number	Dimensions (mm)		
	L	W	T
LLL153	0.5 ±0.05	1.0 ±0.05	0.3 ±0.05
LLL185	0.8 ±0.1	1.6 ±0.1	0.6 max.
LLL215			0.5 +0/-0.15
LLL216	1.25 ±0.1	2.0 ±0.1	0.6 ±0.1
LLL219			0.85 ±0.1
LLL315			0.5 +0/-0.15
LLL317			0.7 ±0.1
LLL31M	1.6 ±0.15	3.2 ±0.15	1.15 ±0.1

● 8端子型コンデンサ LLA シリーズ

静電容量範囲

1.6 × 0.8 mm サイズ	: 0.1 - 2.2μF
2.0 × 1.25 mm サイズ	: 0.01 - 4.7μF
3.2 × 1.6 mm サイズ	: 0.1 - 2.2μF

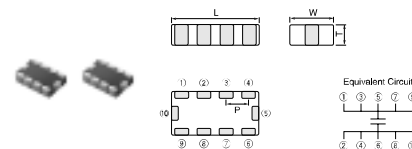


Part Number	Dimensions (mm)			
	L	W	T	P
LLA185	1.6 ±0.1	0.8 ±0.1	0.5 +0.05/-0.1	0.4 ±0.1
LLA215	2.0 ±0.1	1.25 ±0.1	0.5 +0.05/-0.1	0.5 ±0.05
LLA219	2.0 ±0.1	1.25 ±0.1	0.85 ±0.1	0.5 ±0.05
LLA315	3.2 ±0.15	1.6 ±0.15	0.5 +0.05/-0.1	0.8 ±0.1
LLA319	3.2 ±0.15	1.6 ±0.15	0.85 ±0.1	0.8 ±0.1
LLA31M	3.2 ±0.15	1.6 ±0.15	1.15 ±0.1	0.8 ±0.1

● 10端子型コンデンサ LLM シリーズ

静電容量範囲

2.0 × 1.25 mm サイズ	: 0.01 - 2.2μF
3.2 × 1.6 mm サイズ	: 0.1 - 2.2μF



Part Number	Dimensions (mm)			
	L	W	T	P
LLM215	2.0 ±0.1	1.25 ±0.1	0.5 +0.05/-0.1	0.5 ±0.05
LLM315	3.2 ±0.15	1.6 ±0.15	0.5 +0.05/-0.1	0.8 ±0.1

4.3 3端子コンデンサ

ESL を削減するもう一つの手段に3端子コンデンサがあります。図 4-7 に3端子コンデンサの例を示します。3端子コンデンサは貫通型コンデンサの一種で、周波数特性の優れた MLCC をベースに ESL が小さくなるよう回路接続の工夫を行った部品です。

3端子コンデンサは図 4-8 に示すように、ノイズの経路を部品内部に引き込むように入出力端子を備えた構造となっています。このため内部電極に発生するインダクタンスは3方にわかれ、T 型の回路を形成します。3端子コンデンサの入出力端子をノイズの経路に接続したとき、入出力方向の ESL はノイズの経路に直列に入るため、挿入損失を大きくする（ノイズ除去効果を向上させる）方向に働きます。また、バイパス方向の ESL はグラウンド部だけになりますので、MLCC に比べて半減することになります。図 4-7 に示した3端子コンデンサでは、グラウンド電極を左右側面に2箇所設けるなどの工夫をすることにより、このグラウンド部のインダクタンスをさらに小さくしています。

このような工夫により、3端子コンデンサのバイパス方向の ESL は品種によっては 10 ~ 20pH 程度と、通常の MLCC の 1/30 以下に抑えられています。従って、1GHz 以上の高周波でも良好なバイパス効果が期待できます。

図 4-9 に、MLCC と3端子コンデンサの挿入損失の比較を示します。ここでは 1.6 × 0.8mm サイズ

で1 μF のコンデンサ同士で比較をしています、100MHz 以上の周波数域では、3端子コンデンサの方が35dB 程度挿入損失が大きくなっています。

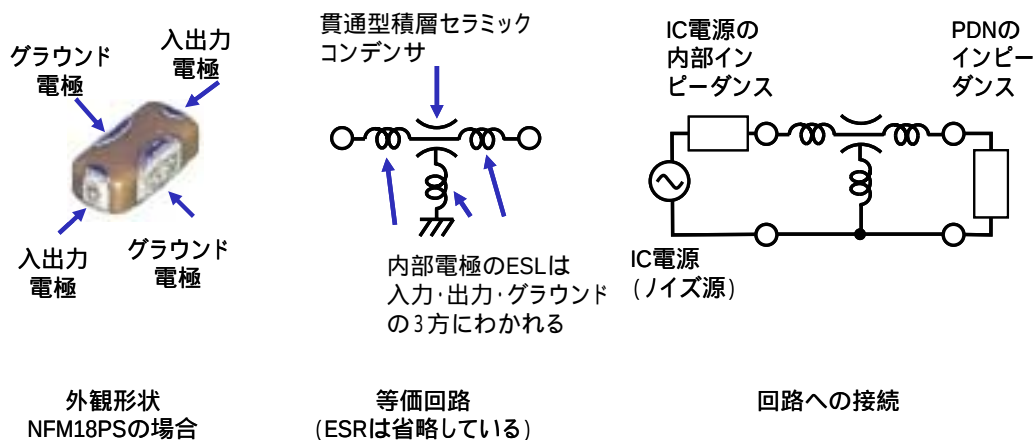


図 4-7 電源用3端子コンデンサの例

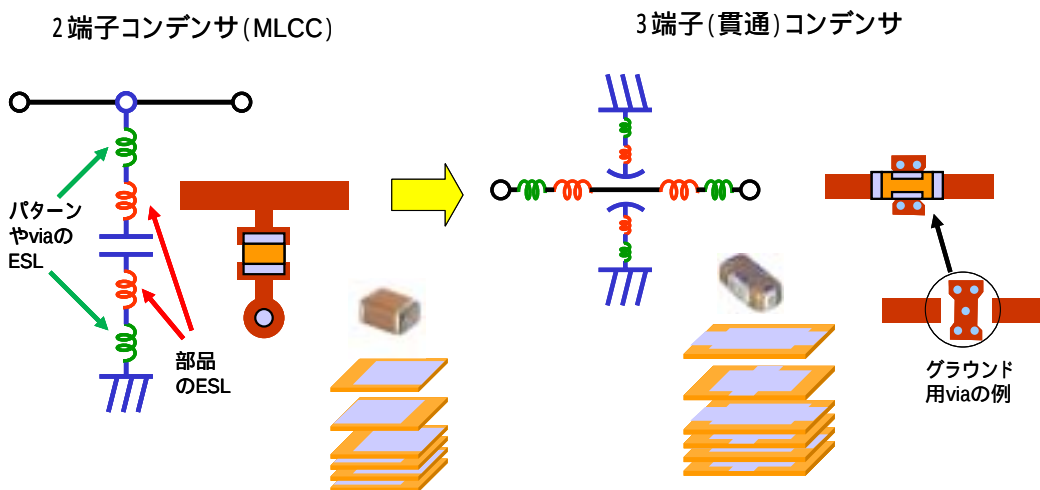


図 4-8 3端子コンデンサによる ESL 削減の仕組み

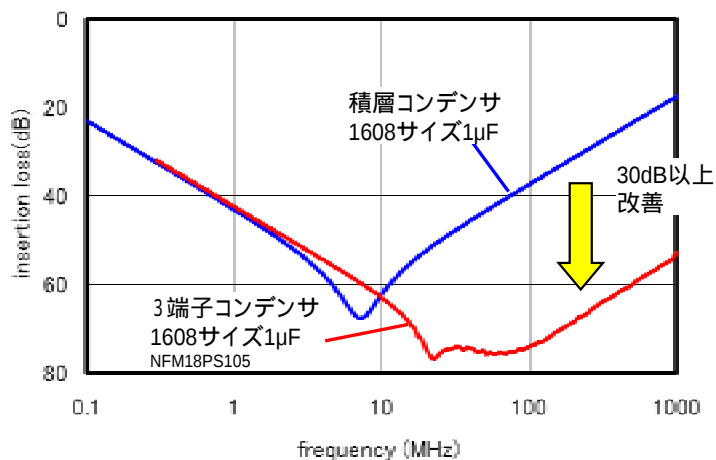
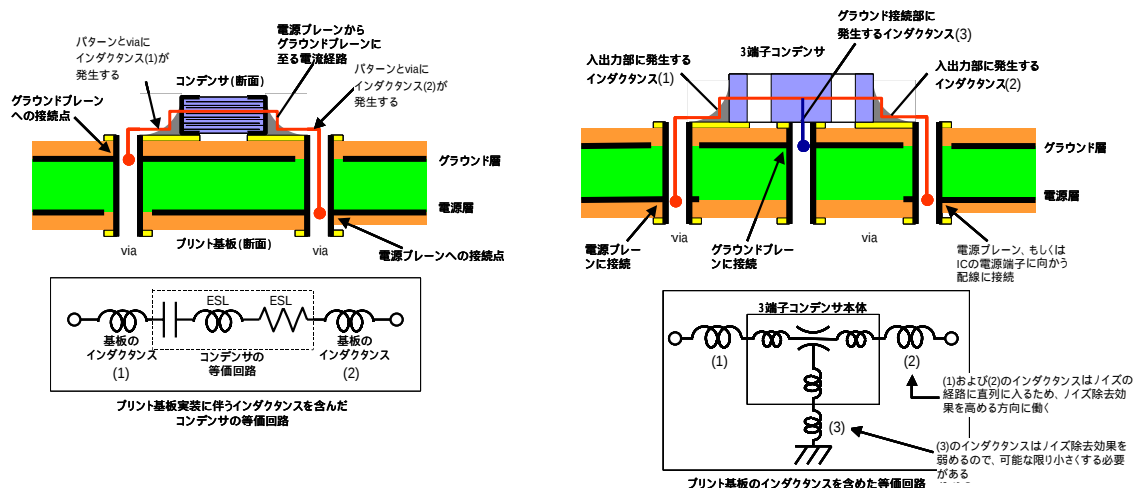


図 4-9 3端子コンデンサの挿入損失特性

以上の効果に加えて、3端子コンデンサでは、図 4-10 に示すように、基板のパターンや via のインダクタンス (ESL_{PCB}) が入出力端子を取り付ける部分ではノイズの経路に直列に配置されますので、バイパス方向の電流の妨げにはならず、むしろ T 型フィルタを形成して挿入損失を大きくする方向に働く特徴があります。また、グラウンド端子を取り付ける部分の ESL_{PCB} はバイパス方向に入るのですが、多層基板ではこの部分を部品直下に複数の via を用いてグラウンドプレーンに接続することにより、最小限にとどめることができます²⁾。



MLCCの場合

3端子コンデンサの場合

図 4-10 基板のインダクタンスも含めたコンデンサの等価回路

このような理由により、3端子コンデンサではプリント基板に取り付けた状態でも MLCC に比べて大きな挿入損失が得られます。また、低インピーダンスの回路に取り付けたときの挿入損失の減少も、(ノイズの経路に直列に入った ESL_{PCB} の働きにより) MLCC に比べて小さくなります。

図 4-11 に、 $1\mu F$ のコンデンサを例にとり、測定インピーダンスを変化させたときの挿入損失の変化の比較を示します。ここでは低インピーダンスとなる傾向のある電源回路で使われることを想定して測定系のインピーダンスを 50Ω から 5Ω 、 0.5Ω に変化させていますが、3端子コンデンサではこのように低インピーダンスの回路でも、 $1GHz$ で $30dB$ 以上の挿入損失を有しています。これは、3端子コンデンサが元来大きな挿入損失を有しているとともに、 $1GHz$ 周辺の高周波域では、図 4-8 に示したように ESL が T 型に配置される効果が発揮されたものと考えられます。

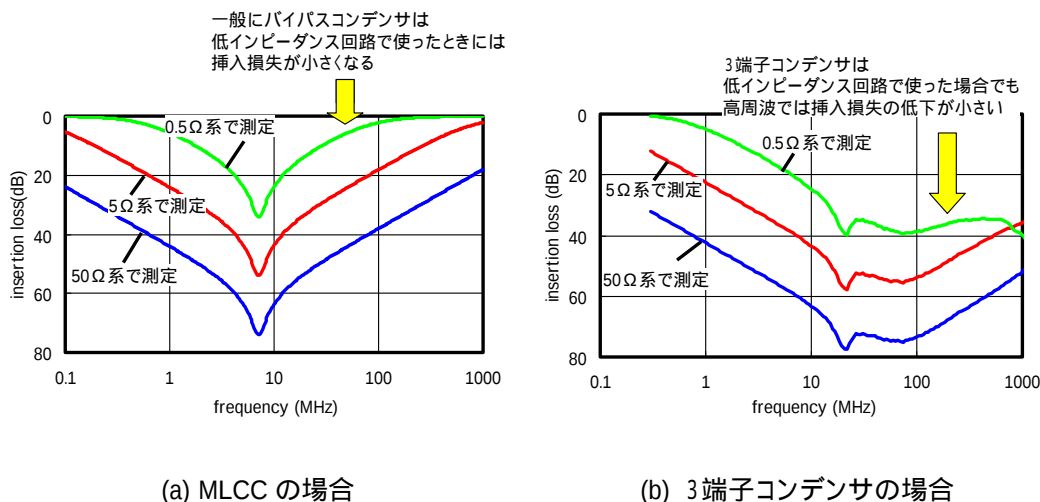


図 4-11 測定インピーダンスを変えたときの特性変化 (計算値)

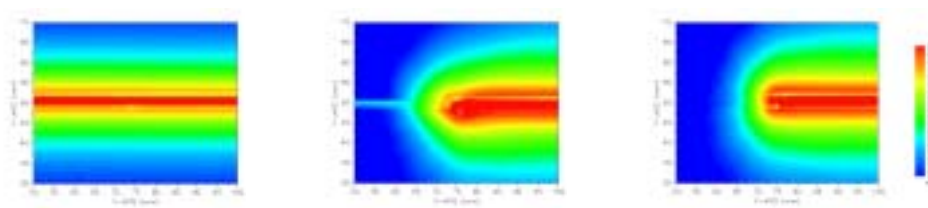
(測定系のインピーダンスを 50 Ω、5 Ω、0.5 Ω と変化させたときを想定)

図 4-12 では、測定インピーダンスが変化したときのコンデンサのノイズ除去効果の変化を実験で確認した例を示します。ここではバイパスコンデンサの働きを、コンデンサの周囲の近傍磁界分布を測定することにより観測しています。この近傍磁界は電流に対応していると考えられますので、コンデンサによりノイズがグラウンドにバイパスされる様子を視覚的にとらえることができます。

実験に用いた配線の特性インピーダンスは、(a)約 60 Ω と、(b)約 3 Ω としており、配線の両端は反射波の影響を除くために整合終端としています。測定周波数は 100MHz、測定範囲はコンデンサ取り付け部分を中心に、40mm × 30mm としました。図で、ノイズは右側より注入しており、コンデンサのノイズ除去効果は左側に抜ける電流の強弱で観測できます。電流の強弱は色で表されており、青から赤になるに従い、強い電流を表しています。

図 4-12 の結果より、MLCC は(a) 60 Ω の場合は比較的良くノイズを抑制していますが、(b) 3 Ω の場合には抑制効果が減少する (左側に電流が抜ける) 傾向があることが確認できました。これに対し 3 端子コンデンサの場合は、(a)、(b)ともに良好にノイズを抑制できています。また、3 端子コンデンサでは MLCC に比べてグラウンドへのノイズの拡散が小さくなる傾向のあることがわかります。これは、3 端子コンデンサではグラウンドへの接続が部品直下の via を通じて行われるためと考えられます。

電源回路では、この実験のように幅が広く特性インピーダンスの低い配線が使われることが多いことから、ノイズ除去のためには 3 端子コンデンサの方が有利であると考えられます。

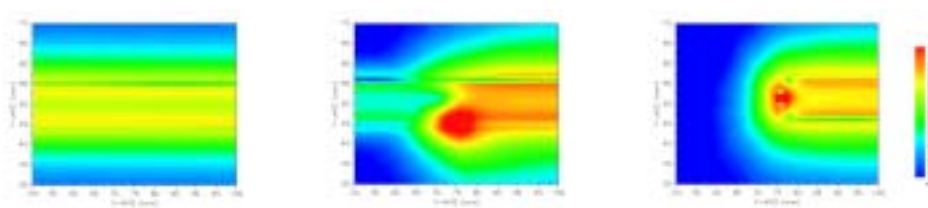
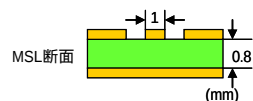


コンデンサのないとき

MLCC

3端子コンデンサ

(a) 特性インピーダンス 約 60Ω の場合

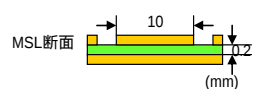


コンデンサのないとき

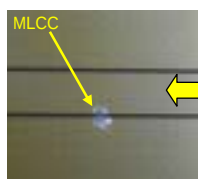
MLCC

3端子コンデンサ

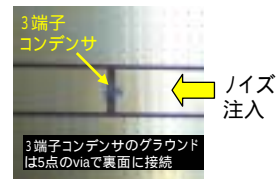
(b) 特性インピーダンス 約 3Ω の場合



コンデンサのないとき



MLCC



3端子コンデンサ

(C) 参考: コンデンサの取り付け状態 (配線太さは(b) 3Ω の場合)

図 4-12 測定インピーダンスが変化したときのコンデンサ周辺の電流分布の変化

4.4 電源用3端子コンデンサのラインナップ

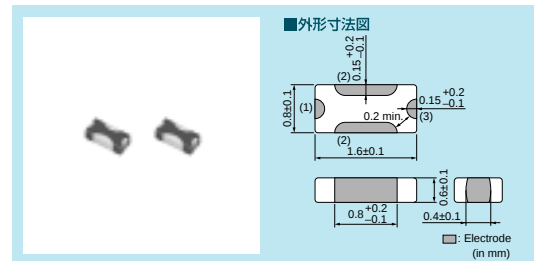
IC 電源に適した3端子コンデンサのラインナップを以下に示します。最新情報はカタログ等をご参照ください。

●1608 サイズ

高減衰タイプ NFM18PS シリーズ

静電容量範囲

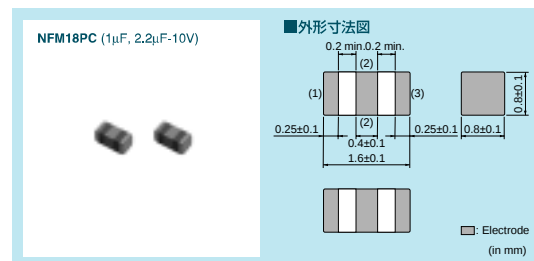
0.47-1.0 μ F



最大 2.2 μ F の大容量対応 NFM18PC シリーズ

静電容量範囲

0.1-4.7 μ F

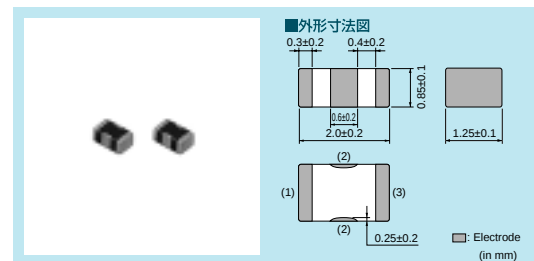


●2012 サイズ

最大 10 μ F の大容量対応 NFM21PC/PS シリーズ

静電容量範囲

0.1-10 μ F

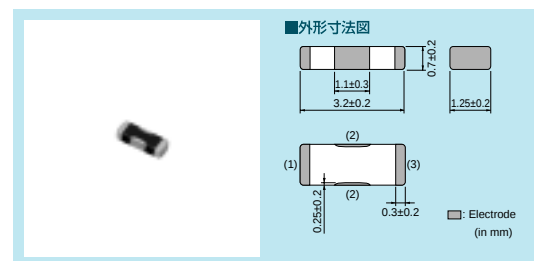


●3212 サイズ

50V 定格 NFM3DPC シリーズ

静電容量範囲

0.022 μ F



5. インダクタ、LC フィルタ

電源のノイズを除去する際、デカップリングコンデンサだけではノイズを除去できないときは、インダクタや LC フィルタの併用が有効です。ここでは電源のノイズ対策に適したインダクタや LC フィルタの紹介をします。

電源のデカップリング回路に使われる主なインダクタには、チョークコイルとフェライトビーズがあります。フェライトビーズが比較的高周波の幅広い周波数のノイズを対象とするのに対し、チョークコイルは特定の周波数を対象とすることが多いようです。従って、このテキストで説明するノイズ対策に使われるのはフェライトビーズが多いのですが、チョークコイルもノイズ除去に使われることがあるので、この両者を取り上げることにします。また、インダクタとコンデンサを組み合わせた LC フィルタも電源用に用意されていますので、併せて取り上げます。

5.1 インダクタを使ったデカップリング回路

電源にインダクタを付加したデカップリング回路を形成するときの一般的な構成を図 5-1 に示します。(a)は、デカップリングコンデンサにインダクタを追加した場合、(b)は、さらにコンデンサを追加して、より高性能な π 型フィルタとした場合です。(a)の場合でも、電源配線では他の IC などに多数のコンデンサが使われることが多いので、実質的に π 型フィルタとなることも多いのですが、(b)の構成としたほうが、より確実なノイズ除去ができます。

このインダクタのノイズ除去効果は、一般にインピーダンスが大きいほうが（インダクタンスが大きいほうが）優れています（ただし、5.6 項で述べるように、いくつかの留意点があります）。

一方で、図 5-1 のようにインダクタを使ったとき、IC が動作するときの瞬間的な電流は、インダクタと IC の間のコンデンサで供給することになります。このコンデンサに必要な静電容量は、(2-2)式に示したようにインダクタンスに応じて大きくなります。従って、むやみに大きなインダクタンスを使うことはおすすめてできません。

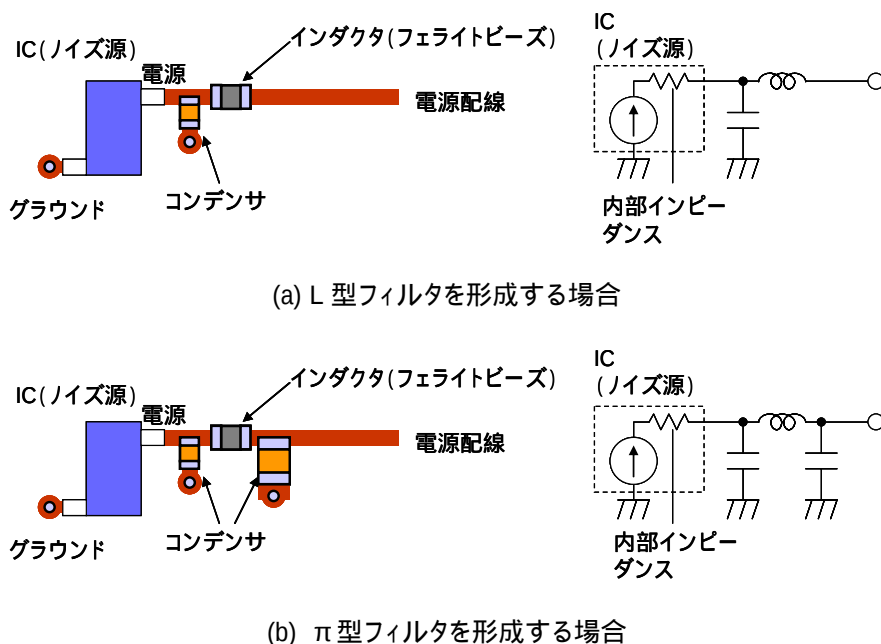


図 5-1 インダクタを併用した電源用フィルタの構成

5.2 インダクタの周波数特性

5.1 ではインダクタをコンデンサと組み合わせて用いる例を示しましたが、ここではインダクタの性質を理解するために、インダクタを単独で使った場合の特性について述べます。インダクタは図 5-2 に示すようにノイズの経路に直列に挿入して用いられますが、このときの挿入損失特性はバイパスコンデンサと同じローパスフィルタとなります。これはインダクタのインピーダンスが周波数に比例して増大することに対応しており、インピーダンスが大きいほど挿入損失は大きくなります。

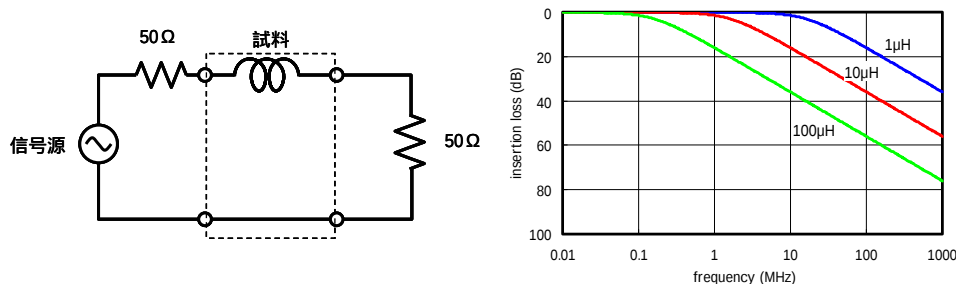


図 5-2 挿入損失測定回路と理想的なインダクタの周波数特性

現実のインダクタでは、コンデンサと同じく周波数特性が表れます。図 5-3 にインダクタの単純化した等価回路とインピーダンスの周波数特性の形状を示します。

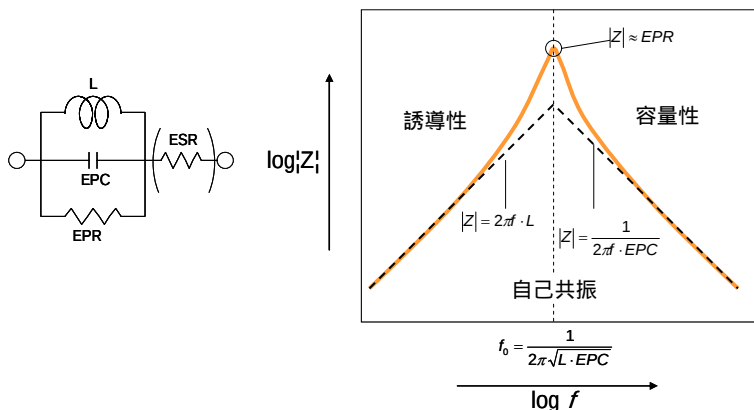


図 5-3 インダクタの等価回路と周波数特性

図 5-3 の等価回路に示したように、インダクタのコイル(L)には、並列に等価並列容量(EPC)、等価並列抵抗(EPR)が表れます。このためインダクタのインピーダンスは比較的低周波では誘導性を示し、ほぼ直線的に増加しますが、ある周波数(自己共振周波数: f_0)で極大値を示し、それ以降の周波数では容量性となり、ほぼ直線的に減少します。

自己共振周波数でのインピーダンスは EPR に、容量性の領域のインピーダンスは EPC に制約されます。従って、高周波でインピーダンスの大きなインダクタを得るには、EPC が小さなインダクタを選ぶことが重要といえます。この EPC にはコイルの巻き線に発生する静電容量などが表れています。また、これらとは別に巻き線の抵抗などを図のように ESR (等価直列抵抗) で考慮する場合もあります。

インダクタのインダクタンスを変化させたときのインピーダンスと挿入損失を比較した例を図 5-4 に示します。このように 50Ω系で測定した場合は、インダクタのインピーダンスが約 100Ωとなる周波数で、

挿入損失の上ではカットオフ(3dB)周波数が表れます。これは、コンデンサの場合と同様に、インダクタのインピーダンスが測定系のインピーダンスに対して無視できない大きさとなる周波数に対応していると考えられます。

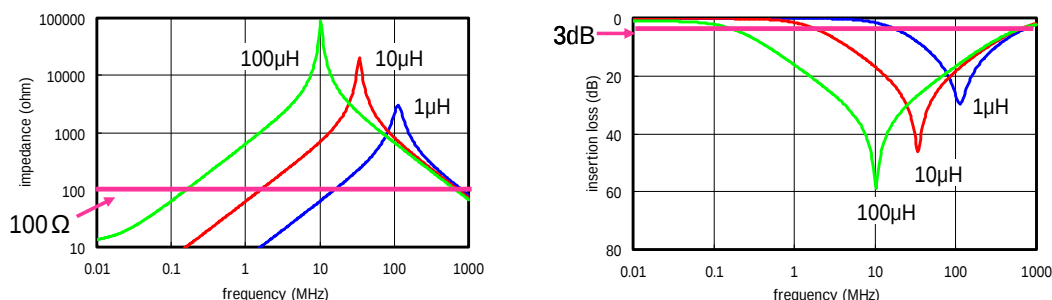


図 5-4 インダクタのインピーダンスと挿入損失の比較 (LQH3C シリーズの場合)

この挿入損失特性は、測定系のインピーダンスが変わりますと、図 5-5 に示すように変化します。3.4 項で説明したコンデンサの場合とは反対に、インダクタでは測定系のインピーダンスが低くなると挿入損失は増大します。従って、低インピーダンスの回路でノイズ除去を行うときは、一般的にはインダクタのほうが適した部品であるといえます。(ただし、電源に使う場合は低インピーダンスの電源を提供する必要がありますので、インダクタを単独で使うことは少なく、図 5-1 のようにコンデンサと組み合わせて使われます。)

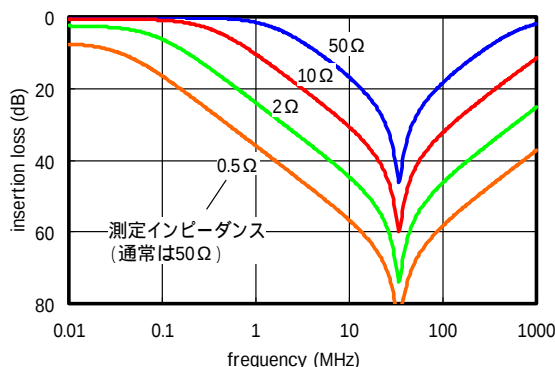


図 5-5 測定系のインピーダンスに応じた挿入損失の変化 (計算値 試料 LQH3C 10μ H)

5.3 フェライトビーズの周波数特性

インダクタにフェライトビーズを使う場合は、5.2 項で述べた特性とは少し異なる部分が出てきます。

5.3.1 フェライトビーズの基本構造

フェライトビーズの基本構造は図 5-6 に示すように円筒(ビーズ)型のフェライトの中にリードを通したのとなっています(現在は図 5-6 の右下のように積層したフェライトの中にスパイラルを形成したフェライトビーズが多いのですが、基本構造はこのように考えられます)。リードに流れる電流に応じてフェライト中に磁束が形成されるため、フェライトの透磁率に応じたインダクタンスやインピーダンスが得られます¹²⁾。

このインダクタンスはフェライトの透磁率の周波数特性により変化し、一般に一定ではありません。ま

た、発生するインピーダンスはフェライトの磁性損の影響を強く受けます。そこで、フェライトビーズの特性は、通常はインダクタンスではなくインピーダンスの周波数特性によって表されています。

図 5-7 に、フェライトビーズの等価回路を、図 5-8 にインピーダンスの周波数特性の例を示します。



図 5-6 フェライトビーズの構造

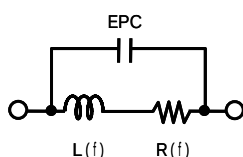


図 5-7 フェライトビーズの等価回路

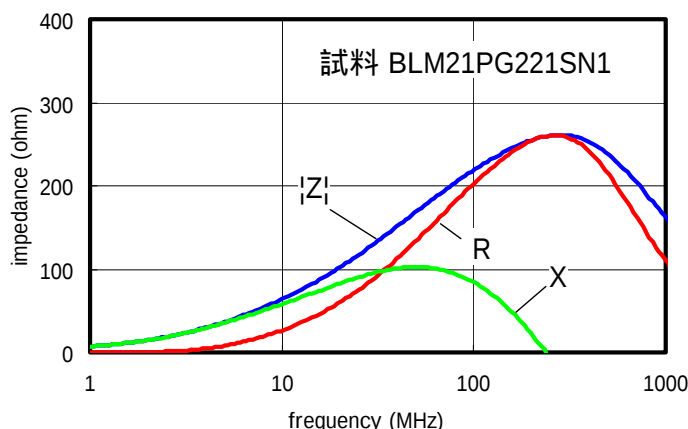


図 5-8 フェライトビーズのインピーダンスの周波数特性例

5.3.2 フェライトビーズの周波数特性

図 5-8 で、 $|Z|$ はインピーダンスの絶対値、 R は抵抗成分、 X はリアクタンス成分を表します。10MHz 以下の比較的low周波では、インピーダンスは主にリアクタンスを示しますが、10MHz を超える周波数では抵抗成分が大きくなります。この抵抗成分が主体となる周波数では、フェライトビーズはノイズを熱に変換し吸収する作用を示します。この抵抗成分は直流では発生せず電源供給には影響しません（直流ではエネルギー損失がない）ので、電源のノイズ除去には好適な部品といえます。

また、図 5-8 のインピーダンスは 300MHz 前後の周波数でピークを示しますが、図 5-4 に示したインダクタよりもなだらかになっています。これは、フェライトビーズでもインダクタと同様に EPC の影響により高周波のインピーダンスは小さくなるのですが、抵抗成分の働きにより、共振の Q が小さくなっていることを示しています。

一方、フェライトビーズの挿入損失特性は、純粋なインダクタに比べて傾きが小さくなる傾向があります。図 5-9 に一例として、図 5-8 に示したフェライトビーズの挿入損失特性を示します。純粋なインダクタであれば挿入損失特性は破線で示したように -20dB/dec. の傾きとなるのですが、フェライトビーズの場合はこれよりもなだらかになっています。

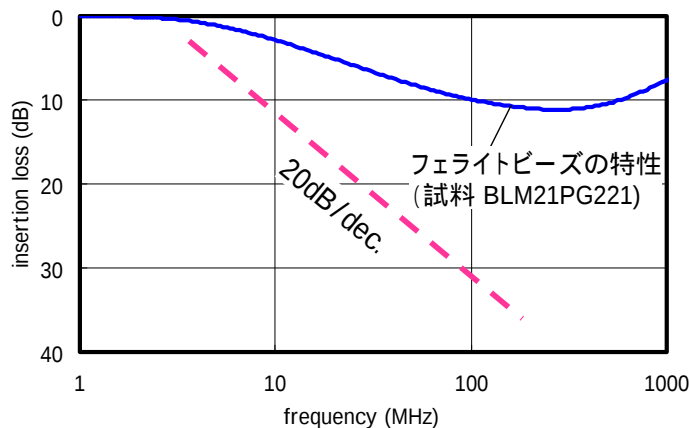


図 5-9 フェライトビーズの挿入損失特性の例

5.3.3 フェライトビーズの高周波特性の改善

図 5-7 に示したように、フェライトビーズにも浮遊静電容量 EPC があり、 100MHz 以上の高周波域でインピーダンスを減少させる主な原因となっています。この EPC を小さくし、高周波のインピーダンスを向上した製品が実用化されており、数 100MHz 以上の高周波ノイズの対策に使われています。図 5-10 に、EPC を削減した部品のインピーダンス特性の例を示します。

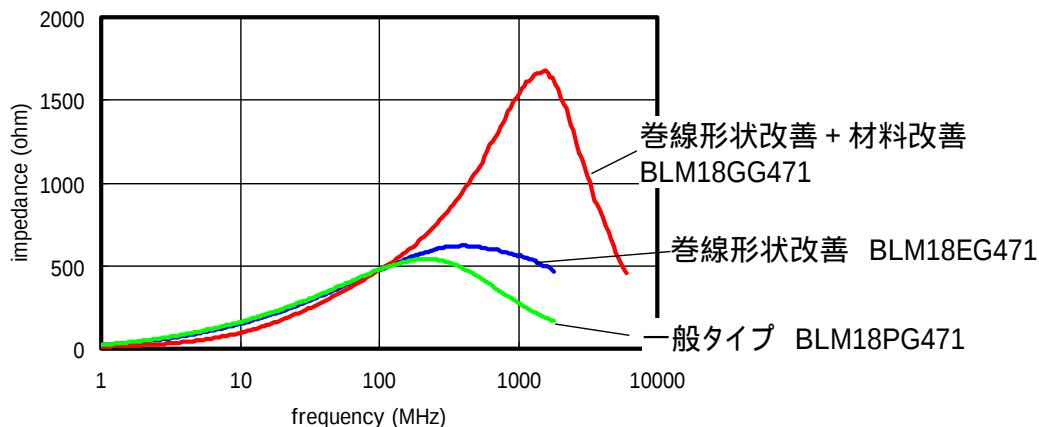


図 5-10 EPC を削減し高周波特性を改善したフェライトビーズのインピーダンス特性

5.4 コンデンサとインダクタを組み合わせた特性

インダクタを電源に使うときは、多くの場合コンデンサが併用されています。そこで、コンデンサとインダクタを組み合わせた LC フィルタの特性を紹介します。

LC フィルタの挿入損失特性の理想的な形状を図 5-11 に示します。測定系のインピーダンスが一定で、L と C の比率を適正に設定できたときは、このように 1 素子あたり 20dB/dec. の傾きの周波数特

性が得られます⁹⁾。

LCフィルタの構成と周波数特性

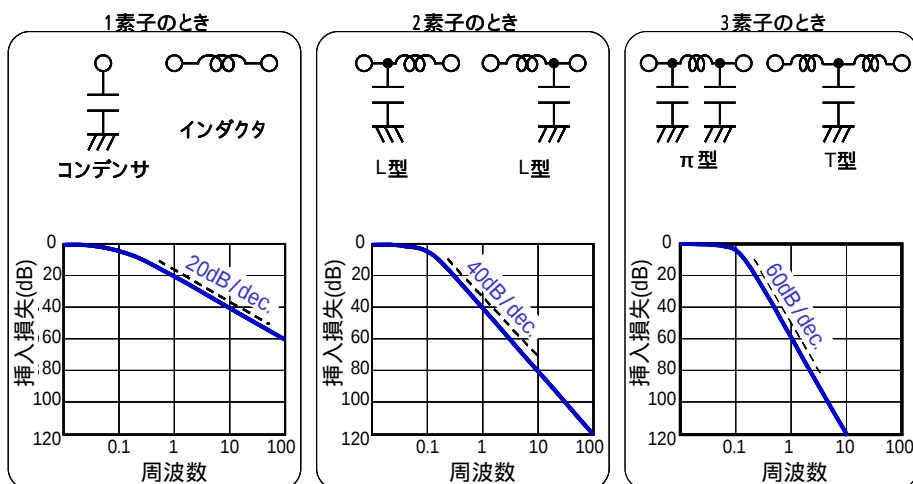


図 5-11 LC フィルタの挿入損失特性

電源回路の場合は一般にインピーダンスが一定ではなく、L と C の比率を全ての周波数で合わせることは困難です。また、インダクタと IC の間には 5-1 項で述べたように必ずコンデンサが入りますので、結果として L 型か π 型のフィルタとなります。そこで、L と C の比率が測定系のインピーダンスから外れている場合の挿入損失の例を図 5-12 に示します。

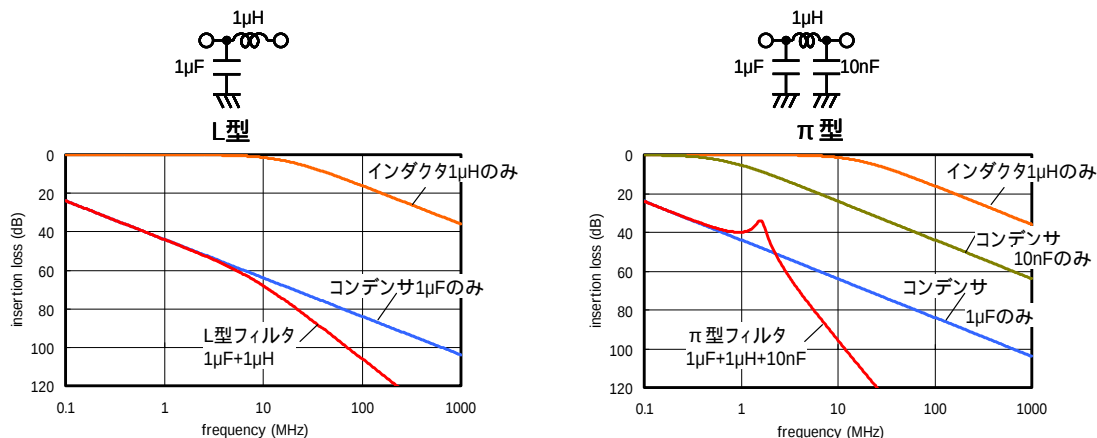


図 5-12 L 型、 π 型フィルタの挿入損失特性の例（計算値）

図 5-12 では、LC フィルタを構成するコンデンサやインダクタの単体の特性も併せて示しています。このように L と C の比率が合わない場合は、減衰域の曲線の傾きは一定にならず、変曲点を持ちます。一方、これまで述べましたようにコンデンサやインダクタも高周波では理想的には働きませんので、現実の周波数特性を予測するには、この影響も考慮する必要があります。

図 5-13 に、MLCC とフェライトビーズを組み合わせて L 型フィルタを作ったときの挿入損失の計算結果を示します。このように現実の LC フィルタの周波数特性は図 5-11 とは異なる形になることが多いのですが、全体的な傾向としまして、フェライトビーズを組み合わせると挿入損失の大きさを全体的に

大きくできることがわかります。

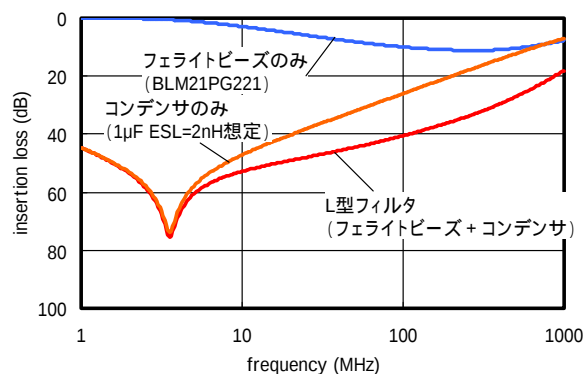


図 5-13 フェライトビーズを使った L 型フィルタの特性 (計算値)

図 5-14 は、コンデンサにフェライトビーズを組み合わせたときのノイズ抑制効果の変化を実験で確認した例です。ここでは 4MHz で動作する IC をノイズ源とし、デカップリング回路を透過したノイズを電圧変動とスペクトラムで観測しています。上段は、フェライトビーズを使わないとき (1 μ F のデカップリングコンデンサを使用)、中段はフェライトビーズを使って L 型フィルタを形成したとき、下段は、さらに 10 μ F のコンデンサを追加して π 型フィルタを形成したときの測定結果です。中段、下段のフェライトビーズを使った例では電圧変動、スペクトラムの双方が大幅に改善されることが確認できています。

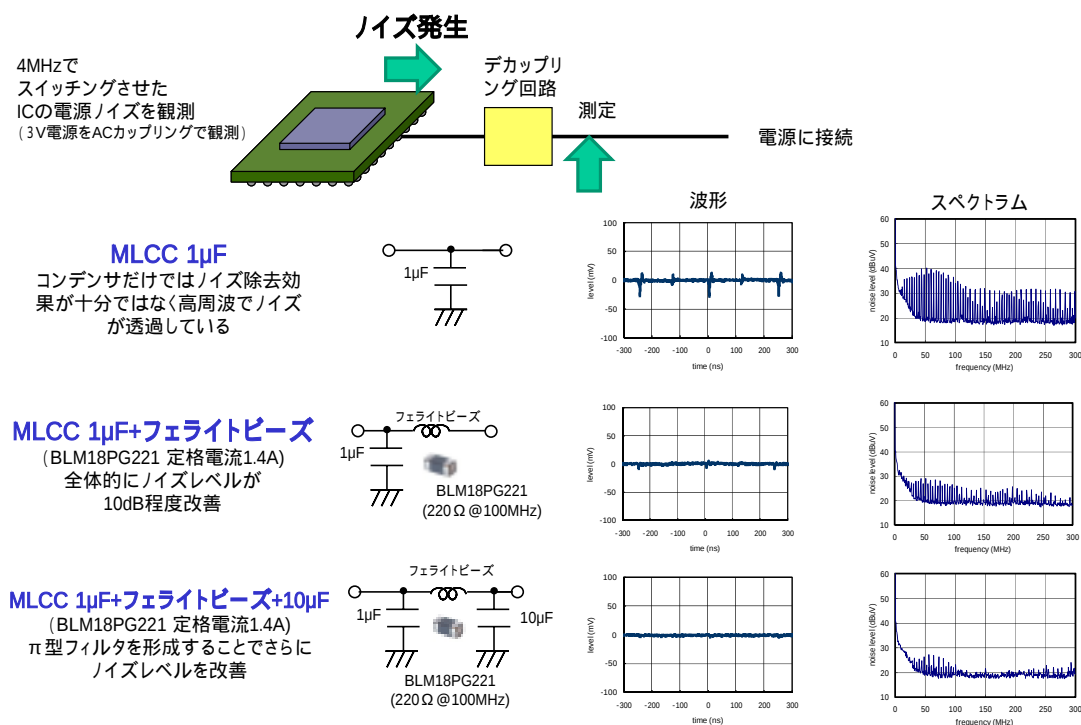


図 5-14 フェライトビーズによるノイズ抑制の改善の例

5.5 LC フィルタ

2章で述べたようにコンデンサの挿入損失は 10MHz 以上の周波数で小さくなる傾向がありますので、これを改善するために容量の小さなコンデンサを組み合わせ、自己共振を利用して全体の挿入損失を大きくすることがあります。ただしこの場合、2つのコンデンサの間で反共振が生じ、改善効果が得られない場合があります。この不具合を避けるには、容量の小さなコンデンサの代わりにフェライトビーズを組み合わせた LC フィルタを用いることが効果的です¹¹⁾。

図 5-15 にこの LC フィルタの例を、図 5-16 にこのフィルタを大容量コンデンサと組み合わせたときの周波数特性の計算結果を示します。

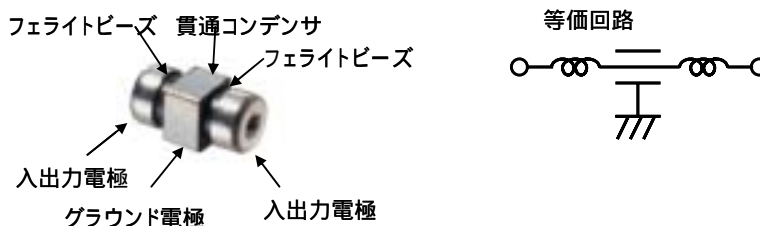
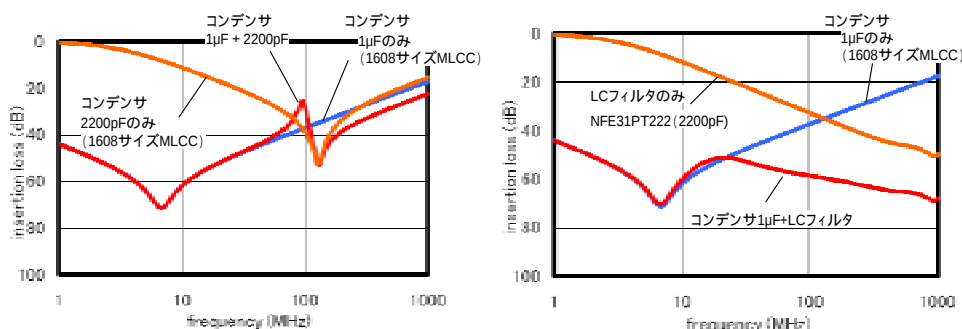


図 5-15 電源用 LC フィルタ NFE31



(a) 2つのコンデンサを組み合わせた場合

(b) コンデンサと LC フィルタを組み合わせた場合

図 5-16 電源用フィルタの周波数特性（計算値）

図 5-15 は、大容量のコンデンサと併用することを想定して、高周波特性に優れた貫通コンデンサとフェライトビーズを組み合わせた部品となっています。両端の入出力電極の間は金属の成形端子でつながれていますので、直流抵抗が極めて小さく、6A の定格電流を実現しています。

図 5-16 (a)に計算結果を示すように、単純に2つのコンデンサを組み合わせると、反共振の生じる周波数ではコンデンサ1つの場合に比べても挿入損失が小さくなる場合があります。図 5-16 (b)に示すように、小容量のコンデンサの代わりにフェライトビーズを組み合わせた LC フィルタを用いると、この種の不具合が防止でき、1GHz 付近の高周波でも有効なフィルタ回路が形成できることがわかります。LC フィルタを用いた場合は、内蔵するフェライトビーズの抵抗成分により、反共振を抑制する効果が生じたものと考えられます。

図 5-17 は、コンデンサに LC フィルタを組み合わせたときのノイズ抑制効果の変化を実験で確認した例です。図 5-14 と同じく 4MHz で動作する IC をノイズ源とし、デカップリング回路を透過したノイズを電圧変動とスペクトラムで観測しています（ただし、より微弱なノイズを観測できるようにスペクトラムア

ナライザの感度を上げています)。

上段は、 $1\mu\text{F}$ の MLCC に 2200pF のコンデンサを組み合わせた場合です (反共振を強く発生させるために、中間に 6mm の配線を挟んでいます)。この場合では、コンデンサ間の反共振の影響により、電源電圧に強いリングングが表れ、この周波数で強いスペクトラムが観測されています。

中段は、 2200pF の MLCC の代わりに、同一の場所で 2200pF の静電容量を持つ LC フィルタを取り付けた場合、下段はこれに $10\mu\text{F}$ の MLCC を追加した場合です。いずれの場合も、電圧変動、スペクトラムの双方で大きな改善効果が得られています。特にスペクトラムは極めて低いレベルに抑えられており、貫通コンデンサを使った LC フィルタの高周波ノイズの抑制効果が優れていることが確認できています。

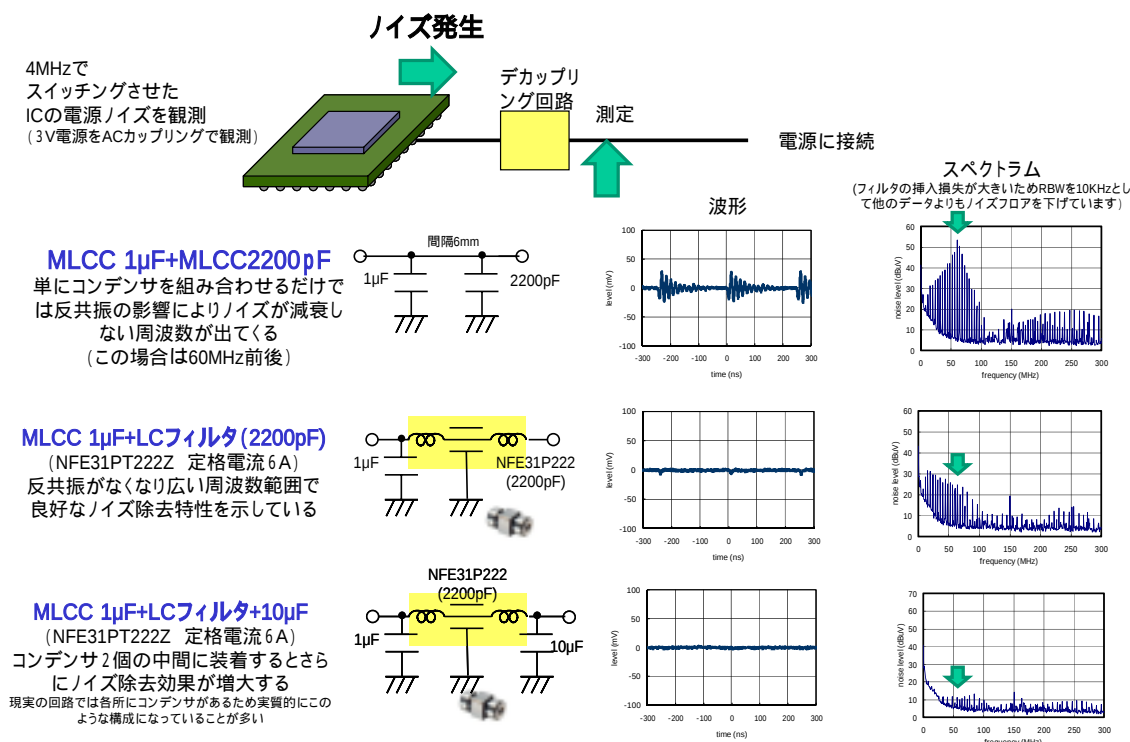
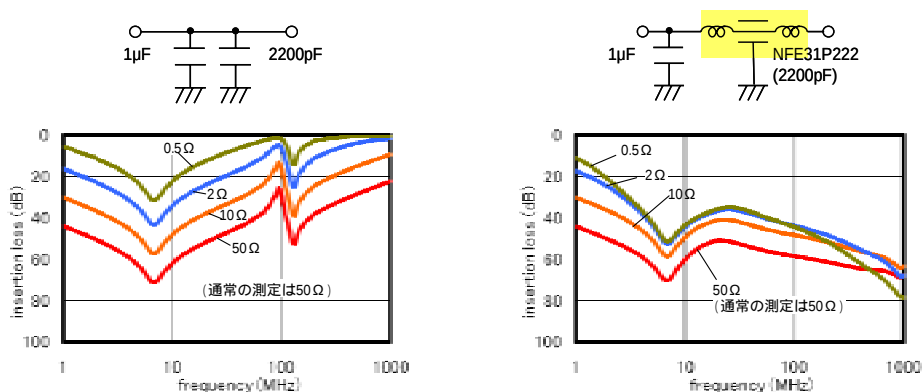


図 5-17 LC フィルタによるノイズ抑制の改善の例

一方、これまで図 5-16 などでも示してきた挿入損失特性は、測定インピーダンスが 50Ω の場合であり、電源の場合はこれよりもインピーダンスが小さい場合が多いと考えられます。そこで、測定インピーダンスを変化させたときの特性の動きをみた結果を図 5-18 に示します。これは図 5-16 の計算結果を変換したものです。

図 5-18 (a)のように2つのコンデンサを単純に組み合わせた場合は、低インピーダンス回路では挿入損失が大きく減少する傾向があるのに対して、LC フィルタを組み合わせた図 5-17(b)では、低インピーダンス回路でも一定の効果が維持できる傾向が見られます。これは、低インピーダンス回路ではコンデンサの効果が減少するのに対して、インダクタの効果は増加するので、LC フィルタを組み合わせた場合にはこの2つの効果が相殺されることによるものと考えられます。従って、インダクタを組み合わせた電源用デカップリング回路は電源のインピーダンスの変化に対して比較的安定したノイズ除去効果を発揮することが期待できます。



(a) 2つのコンデンサを組み合わせた場合

(b) コンデンサとLCフィルタを組み合わせた場合

図 5-18 測定インピーダンスを変えたときの特性 (計算値)

5.6 電源にインダクタを使うときの留意点

インダクタのノイズ除去効果は、基本的にはインピーダンスが大きいほど（インダクタンスが大きいほど）大きくなりますが、これまで述べたように高周波では EPC の影響によりインピーダンスは頭打ちになります。また、ノイズ除去や共振抑制のためには、一般にインピーダンスのなかの抵抗成分の割合が大きいほど、優れた効果が得られます。ノイズ除去のためにはこのような観点から部品を選ぶ必要があります。

一方で、低インピーダンスの電源を提供する観点からみますと、インダクタを用いることはインピーダンスを増大させる方向に働くため、これを補う十分な大きさのコンデンサをインダクタと IC の間に用いる必要があります（このための静電容量の目安を(2-2)式に示しました）。従って、むやみにインピーダンスの大きなインダクタを使うことはおすすめできません。

電源にインダクタを使うときは、このような特性のほかに、直流抵抗や電流による飽和に配慮して部品を選ぶ必要があります。

5.6.1 直流抵抗の影響

インダクタの直流抵抗は一般的にエネルギーの損失や発熱の原因となりますので、電源に用いる場合は小さい方が望ましいといえます。これとは別に、電圧降下による電圧変動が問題になることがあります。

一定電流が流れる回路では直流抵抗により電圧が減少しますので、その分電源電圧を高く維持する必要があります。また、電流変化の大きいときは以下のように電圧リップルが生じることがあります。

$$\Delta V_{ripple} = R_{dc} \cdot \Delta I_{ripple} \quad (5-1)$$

ここで ΔV_{ripple} は電圧リップル、 R_{dc} は部品の直流抵抗、 ΔI_{ripple} は電流変動です。

例えば R_{dc} が 100mΩ 程度ある部品に 1A の電流変動が加わると、100mV の電圧リップルが発生することになります。従って、許容電圧リップルの小さい低電圧の電源では、直流抵抗の小さい部品を選ぶ必要があります。

5.6.2 電流による飽和の影響

一般にフェライトなどの強磁性体は磁束密度が限界に達すると透磁率が小さくなる性質があります。このため磁芯を用いたインダクタでは、大きな電流が流れるときはインダクタンスやインピーダンスが減少しますので注意が必要です。この影響を確認するためには、電流を大きくした状態でノイズレベルの確認をする必要があります。

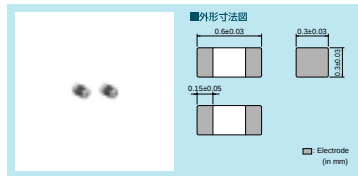
5.7 電源に適したインダクタのラインナップ

当社で商品化されている電源用フェライトビーズ、チョークコイルの代表例を以下に示します。
 詳細はカタログ等をご参照ください。

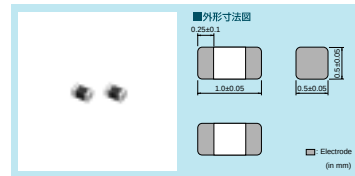
5.7.1 フェライトビーズ

電源用フェライトビーズには、直流抵抗が小さくなるよう配慮された品種が用意されています。

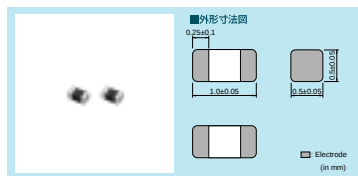
● 0603 サイズ BLM03P シリーズ



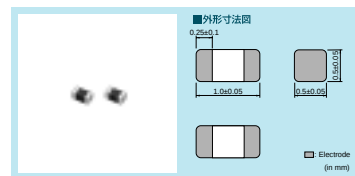
● 1005 サイズ BLM15P シリーズ



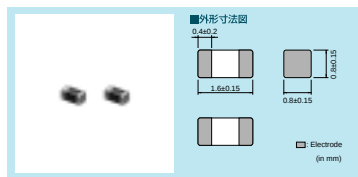
● 1005 高周波改善 (構造) BLM15E



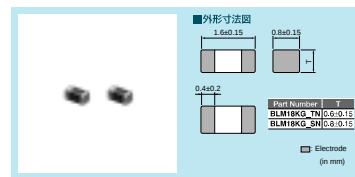
● 1005 高周波改善 (構造 + 材料) BLM15G



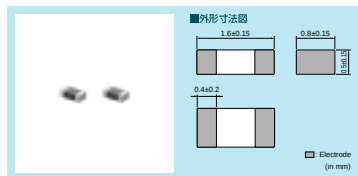
● 1608 サイズ BLM18P シリーズ



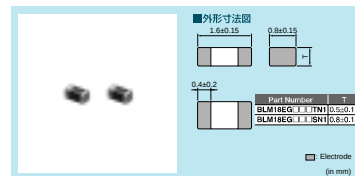
● 1608 6A 600Ω 対応 BLM18K シリーズ



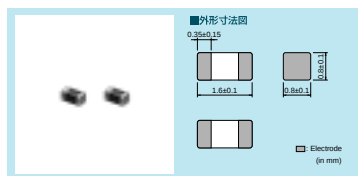
● 1608 6A 高性能 BLM18S シリーズ



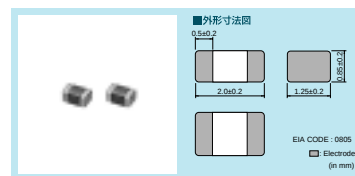
● 1608 高周波改善 (構造) BLM18E



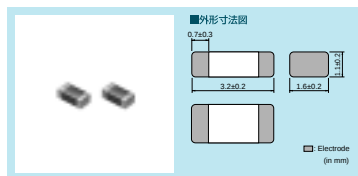
● 1608 高周波改善 (構造 + 材料) BLM18G



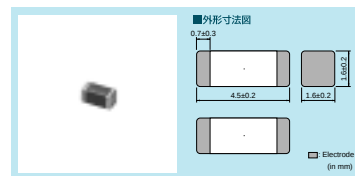
● 2012 サイズ BLM21P シリーズ



● 3216 サイズ BLM31P シリーズ



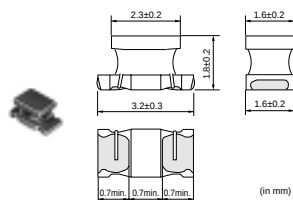
● 4516 サイズ BLM41P シリーズ



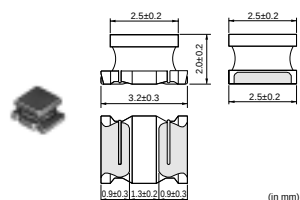
5.7.2 チョークコイル

直流抵抗が小さくなるよう配慮された商品群です。

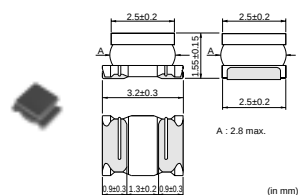
● 3216 サイズ LQH31C シリーズ



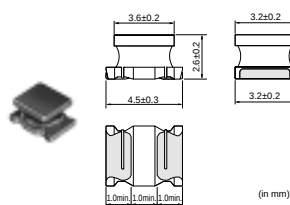
● 3225 サイズ LQH32C シリーズ



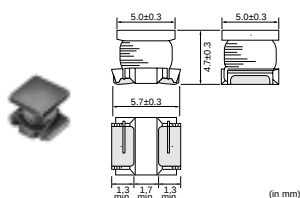
● 3225 サイズ 低直流抵抗タイプ LQH32C_33、53 シリーズ



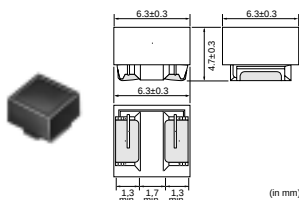
● 4532 サイズ LQH43C シリーズ



● 5750 サイズ LQH55D シリーズ



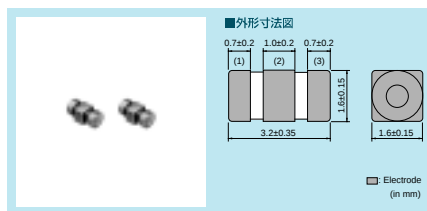
● 6363 サイズ LQH66S シリーズ



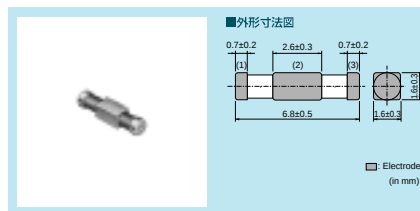
5.8 電源に適した LC フィルタのラインナップ

フェライトビーズと高周波特性に優れた貫通コンデンサを組み合わせた NFE シリーズや、グラウンドと併せて用いる BNX シリーズが用意されています。なお、BNX シリーズはこのテキストで説明しているデカップリング回路ではなく、主に電源コネクタなどの電源入力部で使われるのが一般的です。

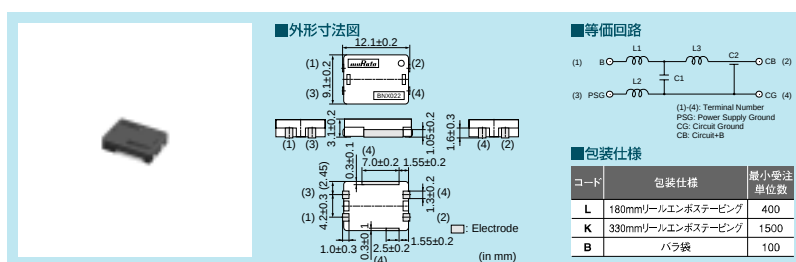
● 3216 サイズ NFE31P シリーズ



● 6816 サイズ NFE61P シリーズ



● BNX シリーズ



6. 電源電圧変動の抑制

ここまでの章では、主に電源用デカップリング回路のノイズ除去性能・挿入損失特性について述べてきました。本章以降では電源の電流供給性能の観点から、主に電源インピーダンスや電圧変動について述べます。

デジタルICが正しく動作するには、電源電圧が一定である必要があります。図6-1に示すようにICの動作により電源電流が変動したとき、電源モジュールからICまでの配線の影響や、電源モジュール自体の応答特性の影響により、電源電圧が変動する場合があります。ICが誤動作したり、周囲の回路にノイズ障害を与える原因となります。また、動作速度や信号品位の低下につながる場合もあります。

この電圧変動を防ぐために、ICの近傍で一時的に電流を供給するコンデンサが使われ、デカップリングコンデンサと呼ばれています。このデカップリングコンデンサの電流を供給する働きのことを電荷供給能力と呼ぶこともあります。

この章では、単純な電流変化をする回路をモデルにして、デカップリングコンデンサによる電圧変動の抑制の働きを解説します。また併せて、電圧変動を少なくするためにコンデンサに必要な性能の紹介をします。

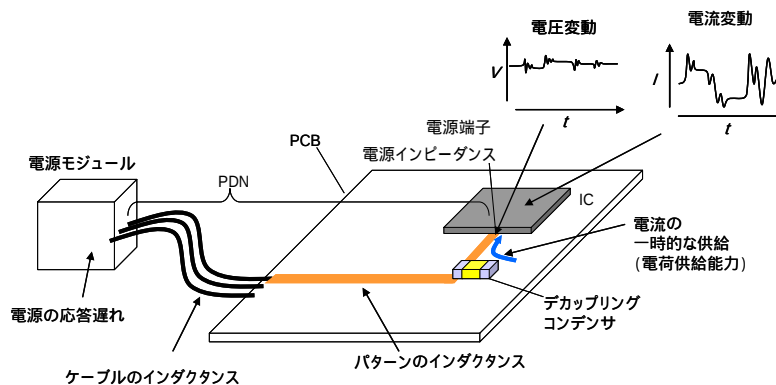


図 6-1 電流変化と電圧変動

6.1 電源インピーダンスと電圧変動の関係

図6-2のように電源供給網(PDN)にICの電源端子が接続され、ICの電源電流が変動したとき、電源に発生する電圧変動の大きさは、以下の式で表すことができます。

$$|\Delta V| = |\Delta I \cdot Z_P| \quad (6-1)$$

ここで、 ΔV は電圧変動(V)、 ΔI は電流変動(A)、 Z_P はPDNの電源インピーダンス(Ω)を表します。この ΔV は、ICの電源端子でみた電圧、 Z_P は同じく電源端子でみたインピーダンスとします。

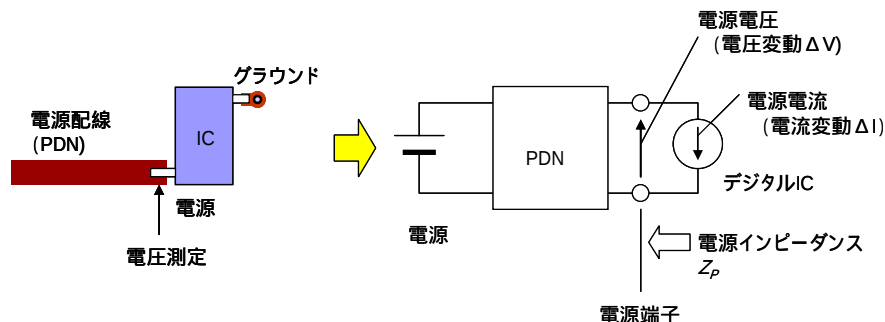
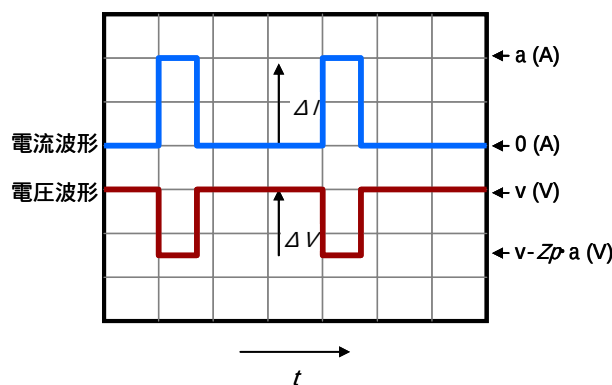
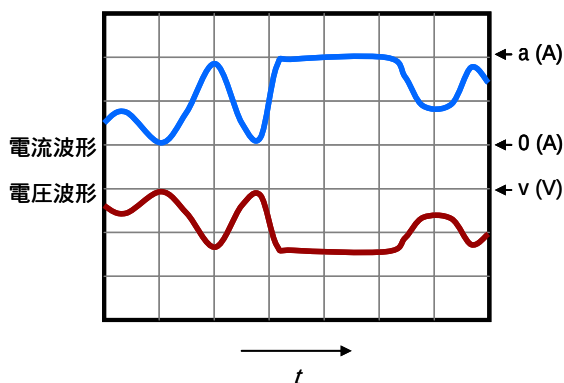


図 6-2 電圧変動の測定位置

電源電流が変化したときの電圧波形の例を、図 6-3 に示します。ここでは電源インピーダンスが周波数特性のない抵抗性であると仮定しています。図 6-3(a)は、電流が単純にステップ状に変化する場合、図 6-3(b)はもう少し複雑に変化する場合です。いずれの場合も、電流変化に応じて電圧変動が（電流が増えたときに電圧が減少する方向に）表れます。



(a) 電流がステップ状に変化するとき



(b) 電流が複雑に変化するとき

図 6-3 電流変化に応じた電圧変動の例

6.2 コンデンサがあるときの電圧変動

現実の PDN ではデカップリングコンデンサや配線のインダクタンスなどにより、インピーダンスは抵抗性ではなくリアクタンスを持ち、周波数特性を持ちますので、電圧波形は電流波形と同一形状にはならず、複雑な動きを示します。図 6-4 に測定結果の例を示します。

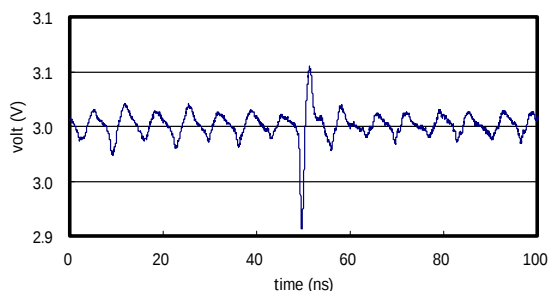


図 6-4 デジタル IC の電源電圧の測定例 (3V ライン)

そこで、ここではデカップリングコンデンサを使ったときの電圧変動の基本的な動きを理解するために、電流がステップ状に変化したときの電圧波形を考えます。

図 6-5 のような単純なモデルで、電源に電流を流したときの電圧変動を考えてみます。簡単のために、配線のインダクタンスなどの周辺要素はないものとし、PDN は1つのコンデンサだけで構成されているとします。このとき、IC の電源電流が図 6-3 (a)のようにステップ状に変化したとして、電圧の変化を回路シミュレータで計算してみます。電源電圧は 3V、電源インピーダンスは 0.5Ω 、電流の振幅は 1A、立ち上がりは 10ns、パルス幅は $1\mu s$ としています。

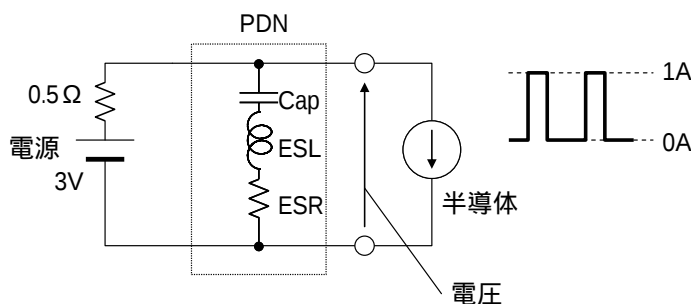


図 6-5 電圧変動計算モデル

計算結果を図 6-6 に示します。ここで、コンデンサには傾向をみるために $2\mu F$ 、 $5\mu F$ 、 $10\mu F$ の3種類を想定しています。また、各コンデンサには ESL として 10nH (リード付きの電解コンデンサを想定し、実装インダクタンス ESL_{PCB} を含んでいます)、ESR として 50mΩを見込んでいます。

図 6-6 の左側は電圧波形で、比較のために上部に電流の波形を併せて示しています。また、図 6-6 の右側はコンデンサのインピーダンスの周波数特性を示しています。

電圧波形では、立ち上がり部分にスパイクが発生したのち、コンデンサの放電特性により徐々に電圧が下がり、その後電流パルスの終了とともにコンデンサの充電が始まり、徐々に電圧が上がる動きが確認できます。コンデンサの充放電の時間は静電容量に関係しますので、コンデンサの静電容量に応じて曲線の傾きが変わり、これとともに電圧変動の大きさも変わっています。

図 6-6 の結果からわかるように、静電容量が大きい方が、充放電による電圧変動は小さくなります。また、この部分の変動の大きさは、右側のインピーダンス特性の上では、低周波側の容量性の部分のインピーダンスの大きさに対応しています。インピーダンスが小さい(グラフで、曲線が下になる)方が、電圧変動の振れ幅は小さくなります。このコンデンサの充放電による電圧変動を小さくするには、十分

な大きさの静電容量を持つコンデンサを用いる必要があります。

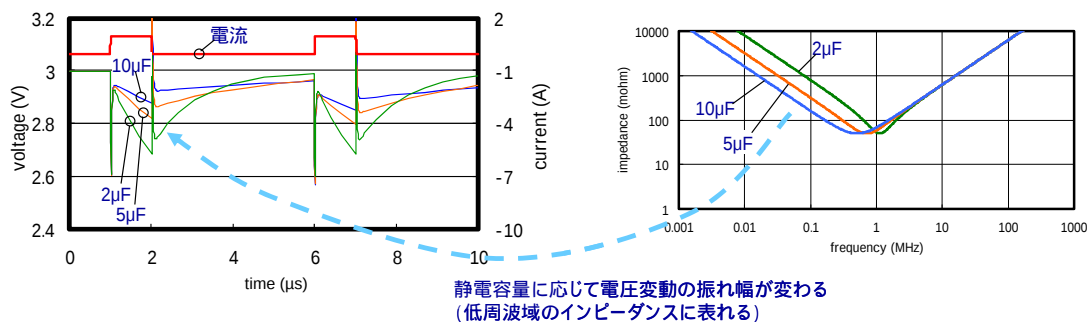


図 6-6 コンデンサを使ったときの電圧波形の例（計算値）

図 6-6 の計算結果の立ち上がりのスパイク部分をより詳しく観察するために、 $10\mu\text{F}$ のコンデンサについて時間軸を拡大したものを図 6-7 に示します。ここでは比較のために ESR や ESL のない理想的なコンデンサを使ったときの計算結果も併せて記載しています。理想的なコンデンサではスパイクは発生しないのですが、ESR や ESL を含んだコンデンサでは立ち上がり部分にスパイクが発生することがわかります。このスパイクの大きさは主に ESL に関する傾向があり、右側のインピーダンス特性の中では、コンデンサが誘導性となる高周波部分のインピーダンスに対応しています（インピーダンスが小さい：曲線が下に来る方が、スパイクが小さくなる）。

このスパイクが深いときは、たとえ十分静電容量の大きなコンデンサを用いた場合であっても、電圧変動が電源電圧の規定内に収まらないときがあります。スパイクが問題になるときは ESL を下げる検討が必要となります。

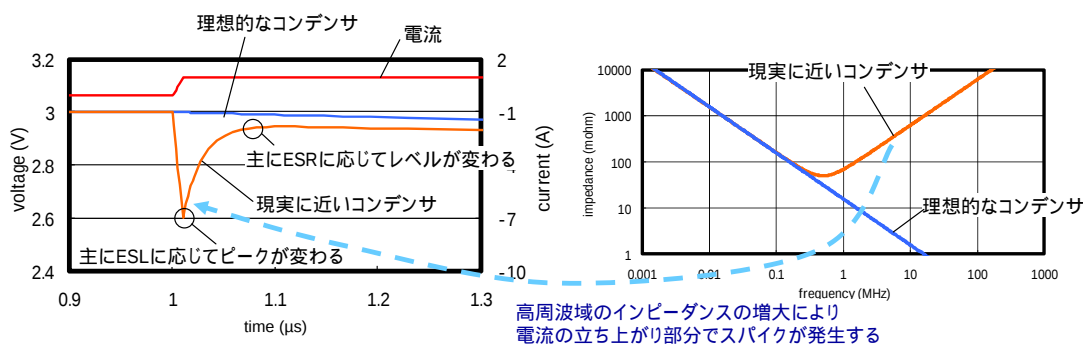


図 6-7 コンデンサを使ったときの電圧波形の立ち上がり部分

なお、このスパイクの大きさはコンデンサの ESL だけではなく、電流変化の大きさ (dI/dt) にも関係しますので、比較的電流変化の小さいときははっきりと表れないことがあります。ここでの計算は立ち上がり時間が 10ns ($dI/dt = 1 \times 10^8 \text{ A/s}$) であるとしています。

6.3 並列コンデンサによるスパイクの抑制

電流変動の立ち上がり部分のスパイクを軽減するためには、周波数特性の優れた比較的小容量のコンデンサを並列に使うことが行われます。図 6-8 に、コンデンサを並列に使ったときの波形の例を示します。ここでは $10\mu\text{F}$ のコンデンサに加えて、 $1\mu\text{F}$ の MLCC (ESL は、 ESL_{PCB} を考慮して 2nH 、

ESR は $10\text{m}\Omega$ としています) を使ったときを想定しています。図の計算結果では、コンデンサを追加することでスパイクの深さが半減しています。この効果は、図の右側のインピーダンス特性の上では、高周波部分のインピーダンスが減少していることに対応しています。

このスパイクをさらに減少させるには、より小さな容量のコンデンサを追加する方法もあります。

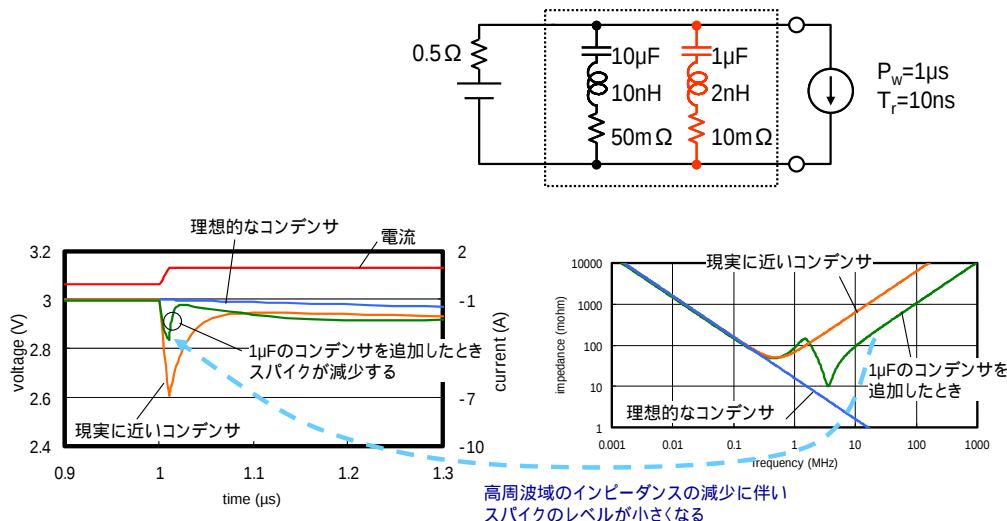


図 6-8 並列にコンデンサを追加したときの波形の変化

このようにコンデンサを並列に接続する手法はスパイクの抑制に一定の効果が見込めるのですが、3章で述べたように、コンデンサ同士の反共振が問題となる場合があります。図 6-9 に、意図的にこのような状態を作った例を示します。

ここでは先の $1\mu\text{F}$ のコンデンサに変えて、 $0.1\mu\text{F}$ のコンデンサを使った場合の計算結果を示しています。この場合、スパイクの大きさは $1\mu\text{F}$ の場合と変わらないのですが、スパイクの後の波形の上に大きなうねり(周期 $0.2\mu\text{s}$ 程度のリングング)が表れています。このうねりの周波数は、インピーダンス曲線の上の反共振周波数に対応しています。このようなうねりが大きい場合は、電源電圧変動の限度値を超える場合がありますので、注意が必要です。

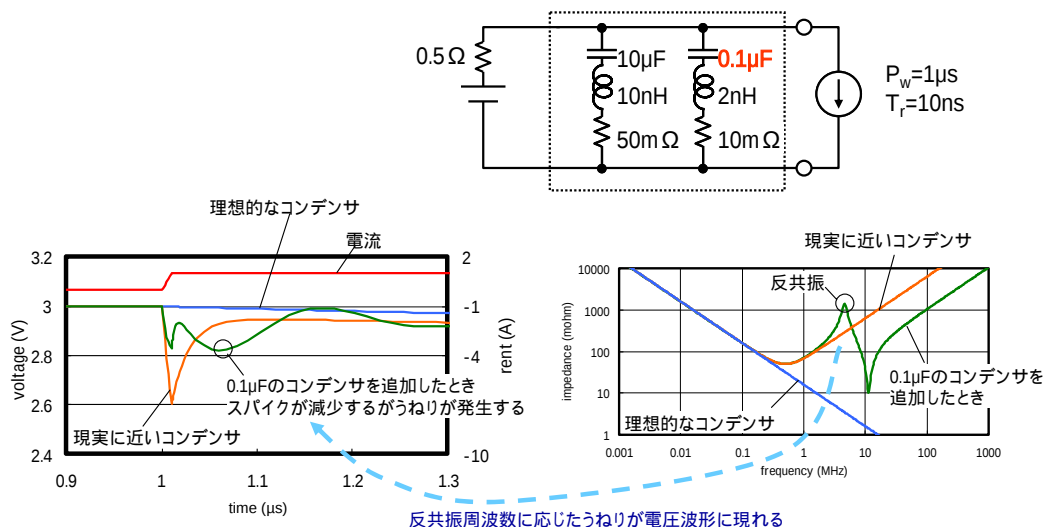


図 6-9 並列コンデンサが共振している場合

6.4 低 ESL コンデンサによるスパイクの抑制

スパイクを小さく収めるには、ESL の小さいコンデンサを使う方法もあります。図 6-10 に計算結果の例を示します。ここでは4章で紹介した低 ESL のコンデンサを使うことを想定して、静電容量を $10\mu\text{F}$ 、ESL を 0.2nH 、ESR は $50\text{m}\Omega$ を想定しています。図からわかるように、この条件ですと、スパイクがほとんど消失し、コンデンサを組み合わせた場合のようなリングングも観測されません。したがって、電圧変動を抑える上でも、低 ESL のコンデンサは有利であると考えられます。

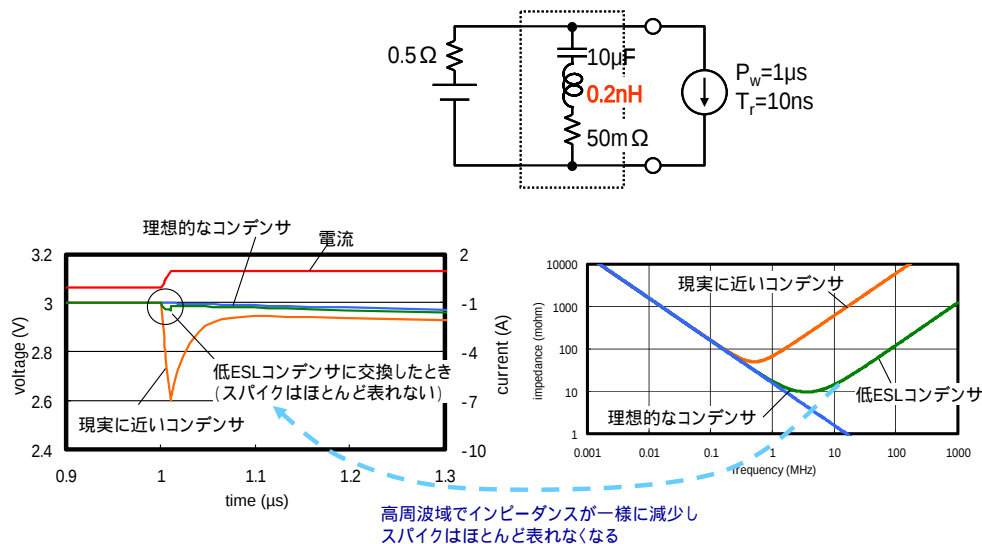


図 6-10 ESL の小さいコンデンサを使った場合

6.5 パルス幅が長いときの電圧変動

電流のパルス幅が長いときは、コンデンサだけで電圧を維持することはできず、電源の応答を待つことになります。図 6-11 のように電源の応答の遅れをインダクタンス $L_{PowerDelay}$ で表して、パルス幅の長いときの電圧変化の動きを簡易的に模擬してみます。このときの計算結果を図 6-12 に示します。

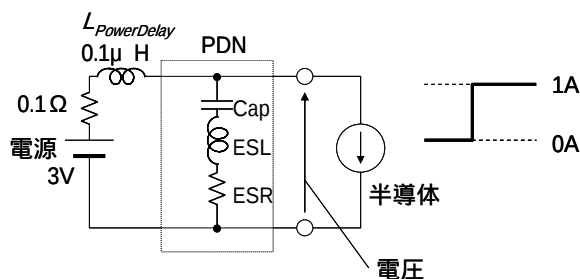


図 6-11 パルス幅の長いときの模擬回路

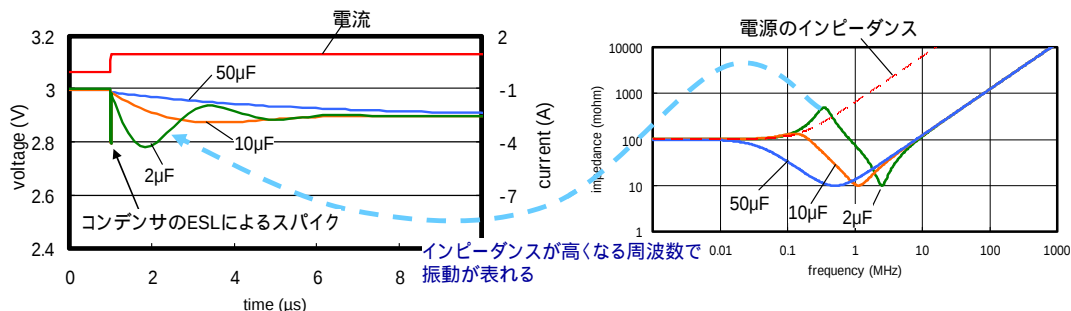


図 6-12 パルス幅の長いときの計算結果

図 6-12 から、コンデンサの静電容量によっては、電圧波形の上に、より低周波のうねりが表れる可能性があることがわかります。これは、電源の応答時間とコンデンサの静電容量との間で一種の共振が発生しているものと考えられます。このうねりの周波数は、図 6-12 の右側のインピーダンス特性で、インピーダンスの高くなる周波数に対応しています。

図 6-12 に示したコンデンサの比較結果からわかるように、このうねりは比較的静電容量の小さい場合（図では $2\mu\text{F}$ の場合）に表れやすくなります。そこで、このうねりをなくするために必要なコンデンサの静電容量を考えてみます。

図 6-11 の回路を一種の RLC 直列共振回路ととらえると、共振回路の制動条件は以下のようになります¹³⁾。

$$C \geq \frac{4L_{\text{PowerDelay}}}{R^2} \quad (6-2)$$

ここで、C はコンデンサの静電容量、R は電源の出力抵抗を表します（簡単のためにここではコンデンサの ESR や ESL の影響は無視しています）。この C よりも大きな静電容量を使用すれば、うねりの生じる可能性は小さくなります。例えば、図 6-12 に示した条件を式(6-2)にあてはめると、コンデンサに必要な静電容量は約 $40\mu\text{F}$ となります（図 6-12 で、 $50\mu\text{F}$ の場合をみると、うねりは完全に消失しています）。

ここでは電源の応答遅れの主要因が電源モジュールから IC までの配線のインダクタンスであるとして、電源の特性を $L_{\text{PowerDelay}}$ で表していますが、電源モジュール自身の応答遅れを考慮する必要がある場合もあります。このような場合には、応答時間を $T_{\text{PowerDelay}}(\text{s})$ として、 $L_{\text{PowerDelay}}$ を RL 直列回路の時定数から

$$L_{\text{PowerDelay}} = R \cdot T_{\text{PowerDelay}} \quad (6-3)$$

程度と考え、モデル化することができます。

なお、現実には電源の応答特性をインダクタンスで表すことは妥当ではありませんので、上記の手法で算出した値はあくまで一つの目安に過ぎないものとお考えください。また、電源の出力に使われる平滑用コンデンサの場合には、電源容量や出力電圧範囲などの全く別の要素を考慮する必要がありますので、上記の手法を適用することはできません。

7. 電源インピーダンス抑制のためのコンデンサの配置

6章では電圧変動と電源インピーダンスの関係と、デカップリングコンデンサを使ったときの電圧変動の波形について解説しましたが、コンデンサを取り付ける配線の影響については触れませんでした。IC の電圧変動を抑制するには、IC の電源端子でみたインピーダンスを小さくする必要がありますのですが、通常、電源端子とコンデンサの間には何らかのプリント配線が存在します。この配線のインダクタンスは、コンデンサの持つ ESL に比べて無視できない大きさがありますので、電源端子でみたインピーダンスを小さくするには、配線のインダクタンスを小さくする必要があります。

この配線のインダクタンスは、パターンの構造やコンデンサまでの距離の影響を受けます。ここでは電源インピーダンスを高周波で一定値以下に抑制するために、IC とコンデンサをつなぐ配線のインダクタンスを小さくするプリント基板の設計について説明します。

7.1 IC からみた電源インピーダンス

IC からコンデンサまでの電源配線は一様な形状ではなく、正確にモデル化することは難しいのですが、ここではマイクロストリップ線路 (MSL) で表せるものとして話を進めます。図 7-1 のようにいくつかのコンデンサが取り付けられた PDN のインピーダンスを考えます。

ここではコンデンサが階層的に配置されているとして、 $10\mu\text{F}$ 、 $2.2\mu\text{F}$ 、 $0.47\mu\text{F}$ のコンデンサを順に接続しています (図 7-1 ではコンデンサの形状の大きさを静電容量に対応させています)。IC 直近には小型で静電容量の小さなコンデンサを、比較的離れた位置には大型で静電容量の大きなコンデンサを配置しています。

このようなモデルで、IC の電源端子 A、B、C の各点から PDN をみたときのインピーダンスを計算した結果を図 7-2 に示します。図で青線が図 7-1 の PDN に全てのコンデンサを接続したときのインピーダンス、赤線が電源端子直近のコンデンサだけを接続したときのインピーダンスです。

図 7-2 の結果から、 10MHz 以上の周波数では、電源インピーダンスは主に直近のコンデンサにより形成されていることがわかります。これは、高周波域のインピーダンスは主にインダクタンスに支配されること、比較的遠方のコンデンサは配線のインダクタンスにより実効的な ESL が大きくなり影響を無視できるようになるためと考えられます。(図で、A 点は PDN 全体と直近コンデンサで比較的差が大きくなっています。これは、A 点では直近コンデンサと PDN の他の部分が左右並列に接続されているためと考えることができます)

このように高周波域では直近のコンデンサのインピーダンスが支配的となりますので、PDN のインピーダンスを一定値以下に下げるには、直近のコンデンサとそれをつなぐ配線だけを考慮すればよいと考えられます。ここではこの考えのもとに、直近コンデンサまでの配線設計に着目します。

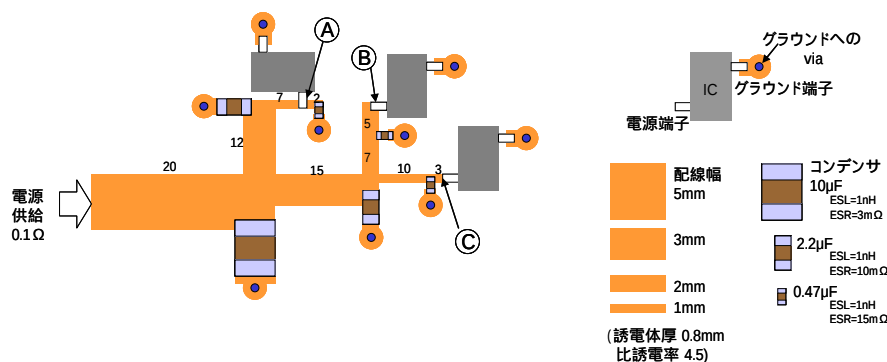


図 7-1 電源インピーダンス計算のモデル図

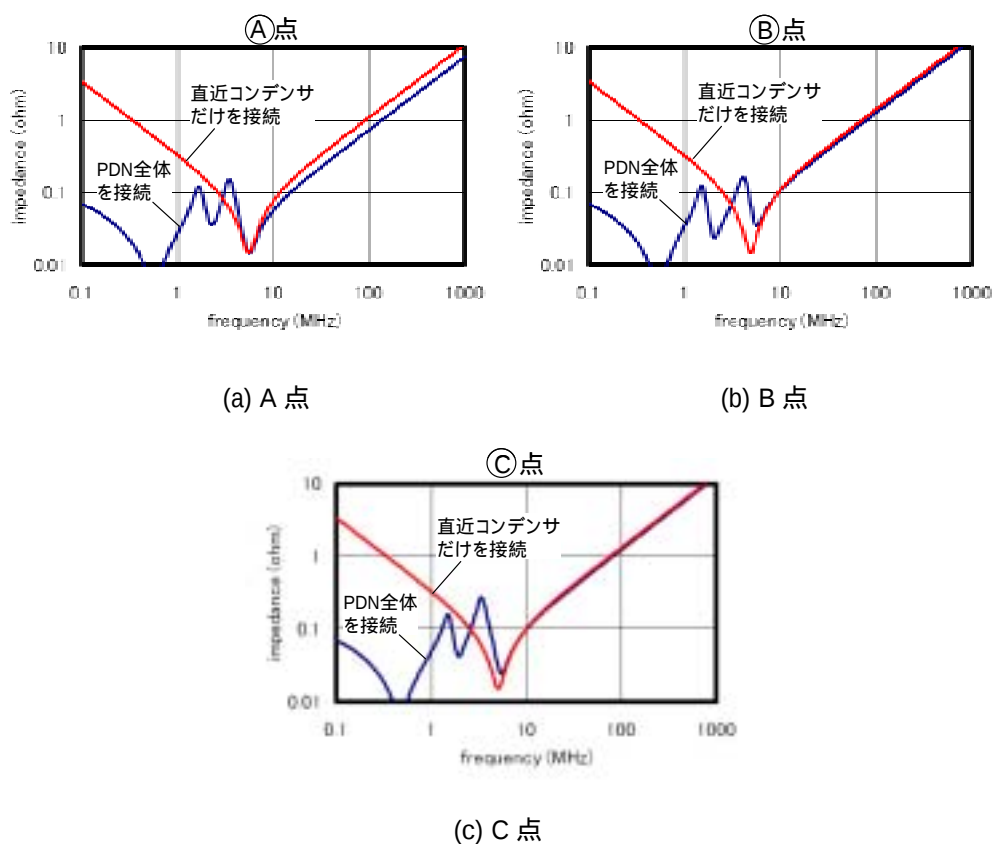


図 7-2 電源インピーダンスの計算結果

7.2 IC からみた電源インピーダンスの簡易推定

IC の電源端子から直近のコンデンサまでの配線が MSL で表せると仮定して、図 7-3 のようにモデル化すると、電源端子からこのコンデンサをみたインピーダンス $Z_{PowerTerminal}$ は、以下の式で表すことができます。

$$Z_{PowerTerminal} = Z_{cap} + Z_{line} \quad (7-1)$$

ここで、 Z_{cap} はコンデンサのインピーダンス、 Z_{line} はコンデンサまでの配線のインピーダンスです。 Z_{cap} にはコンデンサを取り付けるパッドや via のインピーダンスも含まれます。

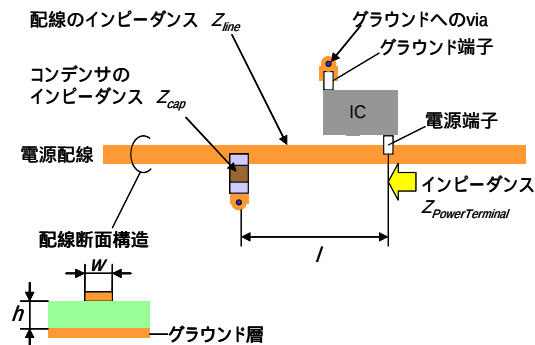


図 7-3 直近コンデンサまでの配線モデル

配線のインピーダンスである Z_{line} は、先端がショートとみなせ（図 7-3 のモデルではコンデンサが接続されていますので高周波ではショートとみなせます）、配線の長さが対象周波数の波長に対して十分短いときは、インダクタンスで近似できます。この配線のインダクタンスを L_{line} とします。また、コンデンサのインピーダンス Z_{cap} は自己共振周波数を超える高周波域では、コンデンサの ESL である ESL_{cap} により形成されますので、IC の電源端子からみたインピーダンス $Z_{PowerTerminal}$ は、

$$Z_{PowerTerminal} = Z_{cap} + Z_{line} \cong j2\pi f(ESL_{cap} + L_{line}) \quad (7-2)$$

とできます。

L_{line} には MSL の単位長さ当たりのインダクタンスに長さ l をかけた値を使うことができます。MSL の単位長さ当たりのインダクタンスは特性インピーダンスに関係しており、各種の近似式が提案されています¹⁴⁾が、電源のように配線幅が広い場合を扱うときは式が複雑になります。そこでここでは、ごくおおまかに L_{line} を近似する式として、以下の式を提案します。

$$L_{line} = 0.4l \left(\frac{h}{w} \right)^{0.6} \times 10^{-6} \quad (H) \quad (7-3)$$

ここで、 h は電源配線を MSL とみなしたときの誘電体の厚み、 w は配線の幅、 l は配線の長さです（単位はいずれも m です）。式(7-2)にこの L_{line} と、使用するコンデンサの ESL_{cap} を代入すると、高周波（コンデンサが誘導性となる領域）における IC の電源端子からみたインピーダンスが推定できます。なお、ここで使う ESL_{cap} には、コンデンサを取り付けるパッドや via のインダクタンス (ESL_{PCB}) を含める必要があります。

7.3 IC 直近のコンデンサの配置可能な範囲

配線のインダクタンスを式 (7-3) のように単純な式で近似すると、電源インピーダンスを目標値以下に抑制するための配線の長さを逆算できるようになります。IC の電源端子でみたインピーダンスの目標値（ターゲットインピーダンス）が Z_T 、このインピーダンスを満足する必要のある最大周波数（ターゲット周波数）が $f_{T@PCB}$ であるとき、配線に許される最大の長さ l_{max} は以下のようになります。

前述のように、電源端子でみたインピーダンスは高周波では誘導性を示しますので、インダクタンス

だけを考慮します。式(7-2)の電源インピーダンス $Z_{PowerTerminal}$ に Z_T を、周波数 f に f_T を代入し、配線に許容される最大のインダクタンス L_{line_max} を求めると、

$$L_{line_max} \cong \frac{Z_T}{2\pi f_T} - ESL_{cap} \quad (7-4)$$

となります。(7-3)式の L_{line} にこの L_{line_max} を代入し、配線に許される最大の長さ l_{max} を求めると

$$l_{max} = 2.5 \frac{L_{line_max}}{\left(\frac{h}{w}\right)^{0.6}} \times 10^6 \cong 0.4 \frac{Z_T - 2\pi f_{T@PCB} ESL_{cap}}{f_{T@PCB} \left(\frac{h}{w}\right)^{0.6}} \times 10^6 \quad (m) \quad (7-5)$$

となります。

図 7-4 に示すように、IC の電源端子からこの l_{max} 以内に直近のコンデンサを配置すれば、ターゲットインピーダンスの高周波部分は達成できることとなります。そこで、この l_{max} を最大許容配線長と呼ぶことにします。 l_{max} が大きいときは、コンデンサを配置する自由度が大きいと考えることができます。

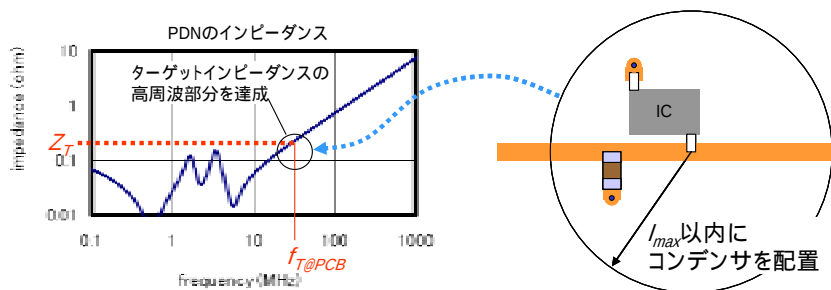


図 7-4 l_{max} 以内に直近コンデンサを配置

一方、コンデンサを中心に考えると、この l_{max} は電源インピーダンスを Z_T 以下に抑えることのできるコンデンサの有効範囲ととらえることもできます。図 7-5 に示すように、コンデンサから l_{max} 以内に IC の電源端子を配置すると、1つのコンデンサで複数の IC の電源インピーダンスを Z_T 以下に抑制することができます。(7-5)式からわかるように ESL_{cap} の小さいコンデンサは l_{max} が大きくなりますので、有効範囲の広いコンデンサであるということが出来ます。

なお、図 7-5 のように1つのコンデンサで複数の IC の電源をカバーする場合には、IC の動作のタイミングが重なるときは電流が大きくなりますので、ターゲットインピーダンス Z_T の見直しが必要な場合があります。また、コンデンサと IC をつなぐ配線が複数の IC で重複する場合(右側の2個の IC など)は、重複部の配線に誘導される電圧が IC 同士のノイズ干渉を引き起こす可能性があります。このような不具合が生じる場合は、各 IC 毎にコンデンサを用いる必要があります。

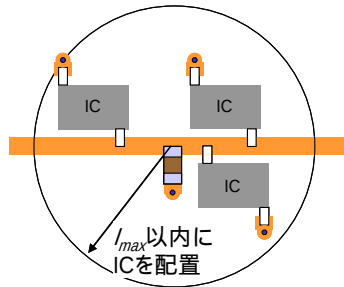


図 7-5 l_{max} 以内に IC を配置

なお、(7-5)式で $2\pi f_T ESL_{cap}$ が Z_T よりも大きい場合は、 l_{max} はゼロ以下になりコンデンサを配置できません。これは、コンデンサ自体の ESL が大きすぎて、インダクタンスがゼロの理想的な配線で接続してもターゲットインピーダンス Z_T を達成できないことを表しています。このような場合は、ESL の小さなコンデンサを使ったり、コンデンサを複数並列に使うことで等価的に ESL_{cap} を小さくする必要があります。

7.4 最大許容配線長 l_{max} の目安

(7-5)式から、 ESL_{cap} の小さなコンデンサを使うと l_{max} が大きくなり、コンデンサ配置の自由度が増すことが推定できます。また、この l_{max} は、プリント配線の断面寸法 (h や w) の影響も受けると考えられます。そこで、この傾向を確認し、配線設計の目安を示すために、図 7-6 に示すように配線の幅や誘電体の厚み、コンデンサの実装条件などが変わったときの l_{max} を計算しました。結果を図 7-7 ~ 図 7-10 に示します。

ここでは、3端子コンデンサ、LW 逆転コンデンサなどの低 ESL コンデンサや、MLCC を想定しています。なお、ターゲットインピーダンスの上限周波数 $f_{T@PCB}$ としては、ここでは IC 外部の電源端子で測定すると想定して、仮に 100MHz としています。（実際には $f_{T@PCB}$ の値は、使用する IC によって大きく異なると考えられます）

図 7-7 ~ 図 7-10 の計算結果より、 l_{max} を大きくするには、低 ESL のコンデンサや誘電体の薄い基板、幅の広い配線が有効であることがわかります。また、ターゲットインピーダンスが小さい場合ほど、コンデンサの ESL による l_{max} の変化が大きくなる傾向があることがわかります。

このように低 ESL のコンデンサでは l_{max} が大きくなるため、コンデンサの配置の自由度が大きくなり、また、1つのコンデンサの有効範囲も広がるので、より少ないコンデンサで広範囲の PDN をカバーできるようになるといえます。

なお、図 7-7 ~ 図 7-10 において $0.2\Omega@100\text{MHz}$ 以下を狙う場合などでは、1つの MLCC では前述のように $2\pi f_T ESL_{cap}$ が Z_T よりも大きくなりますので「配線不可能」となります。このような場合には、8章で述べるように複数のコンデンサを並列に使い、 ESL_{cap} を小さくする必要があります。また、4章で紹介した低 ESL コンデンサを使うことも ESL_{cap} が小さくなりますので有効です。

また、以上の説明は、電源配線が MSL としてみなせること、対象周波数が配線の長さに比べて十分低いことを前提としています。したがって、例えば片面基板のように MSL とはみなせないときや、周波数が高くなって配線の共振が表れる領域では適用できません。

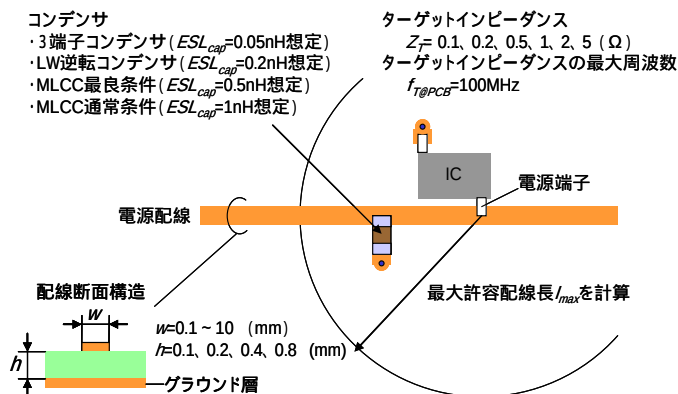


図 7-6 計算条件

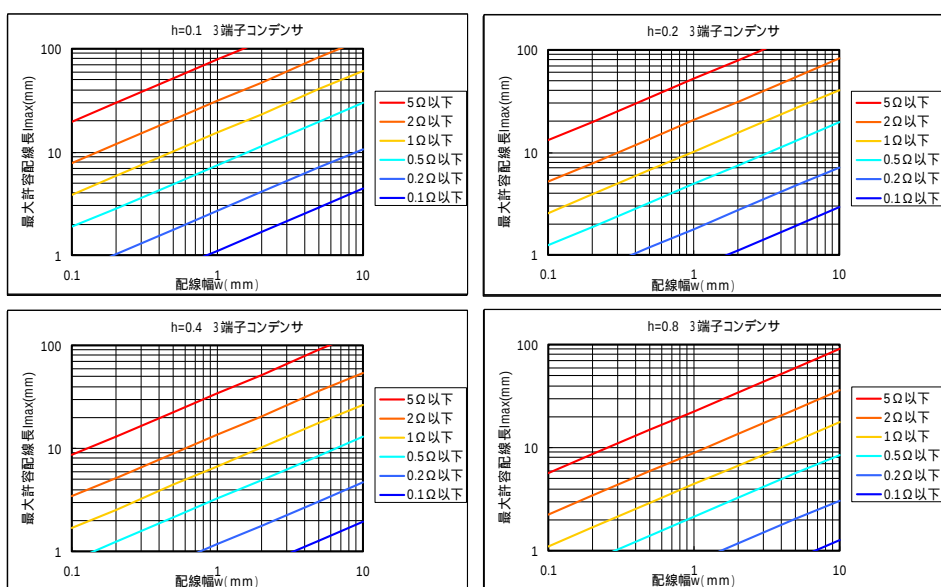


図 7-7 3端子コンデンサ 最良条件 ($ESL_{cap}=0.05\text{nH}$)

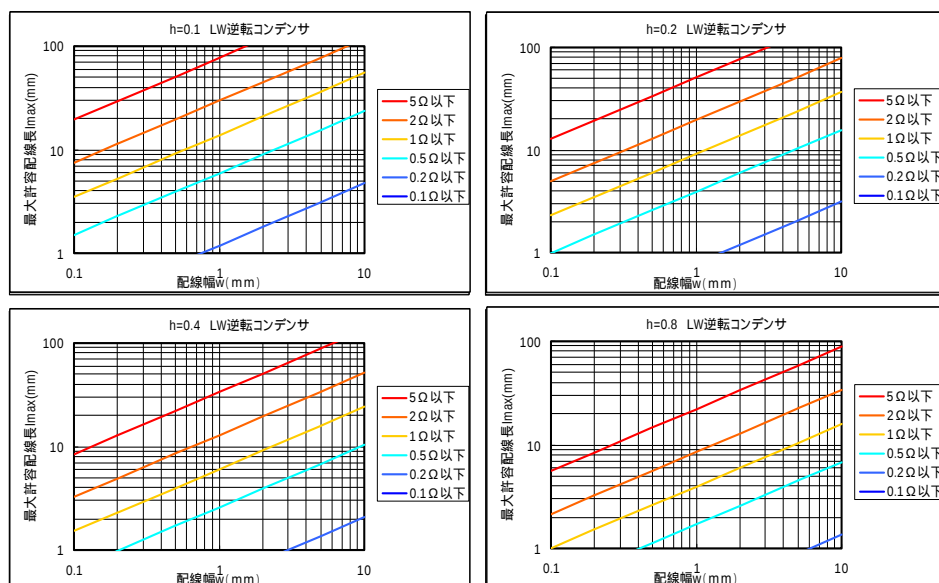


図 7-8 LW 逆転コンデンサ 最良条件 ($ESL_{cap}=0.2nH$)
 ($Z_f=0.1\Omega$ 以下は配線不可能)

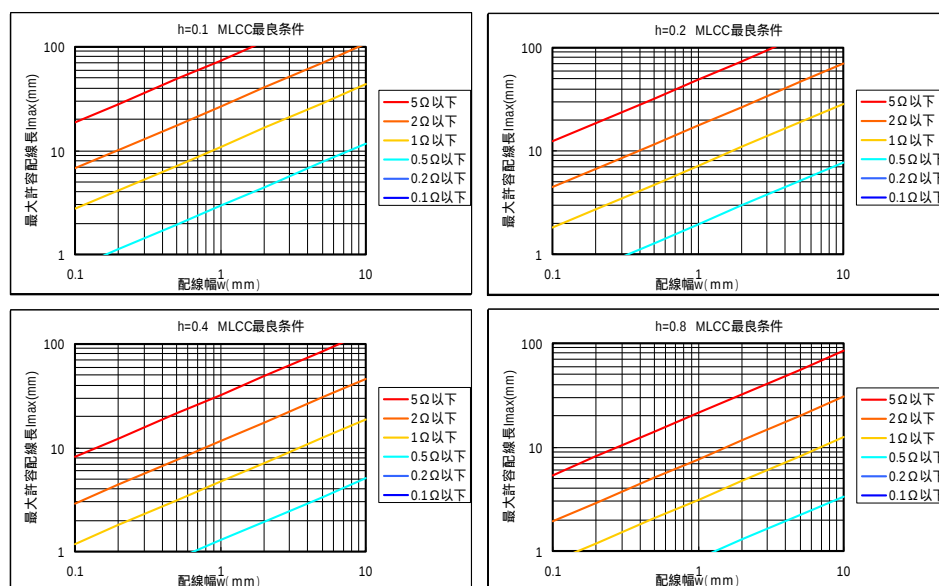


図 7-9 MLCC 最良条件 ($ESL_{cap}=0.5nH$)
 ($Z_f=0.2\Omega$ 以下は配線不可能)

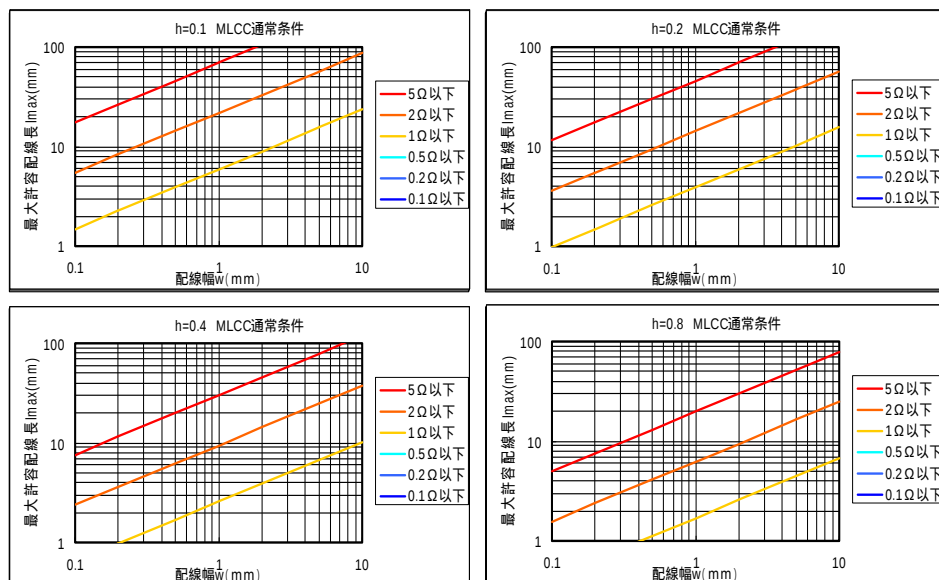


図 7-10 MLCC 通常条件 ($ESL_{cap}=1nH$)
 ($Z_f=0.5\Omega$ 以下は配線不可能)

8. コンデンサを組み合わせた PDN の構成

IC の電源端子に接続される電源配線やデカップリングコンデンサなどは、全体で PDN と呼ばれます¹⁾。この PDN の性能指標の一つに、IC の電源端子から PDN をみたときのインピーダンス(電源インピーダンス)があります。電源インピーダンスの小さい PDN ほど、電流供給性能が良く、電源品位 (Power Integrity : 以下 PI) が高いといえます。また、6 章で述べたように、電源インピーダンスが小さいほど、IC の電源電流が変化したときの電圧変動も小さくなります。

大規模・高速な IC では、電源電流の変化が激しく周波数も高いために、電源インピーダンスを広い周波数範囲で小さくする必要があります。このような場合には、一つのコンデンサでは必要なインピーダンスを実現できないため、図 8-1 に示すように複数のコンデンサを階層的に配置して目標の電源インピーダンスを実現します。このインピーダンスは、ターゲットインピーダンスと呼ばれます。ここではターゲットインピーダンスを満足させるためのコンデンサの階層配置の考え方を説明します。

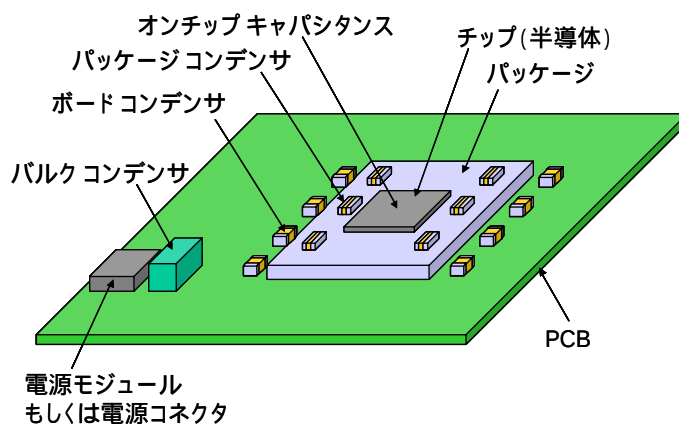


図 8-1 デカップリングコンデンサの配置の例

8.1 デカップリングコンデンサの階層配置

図 8-1 のようにコンデンサが階層的に配置されるとき、各コンデンサは置かれる場所によって図 8-1 のように呼ばれ、図 8-2 のように接続されています¹⁵⁾。このうちオンチップキャパシタンス(シリコン上に形成される静電容量)は部品ではないのですが、同一の機能を分担しているという観点から記載しています。

これらのコンデンサは、PDN の電流供給機能の観点からは、いずれも「電荷のため池」として機能しています。すなわち、局所的な電流要求を半導体の近くで瞬間的にまかなうことで、電源モジュールが応答するまでの時間、電圧を維持しています。また、電源インピーダンスの周波数特性の観点からは、周波数が高くなるにつれて電源モジュールだけではインピーダンスが高くなるので、IC の近くにコンデンサを配置して、高周波部分のインピーダンスを下げているともいえます。

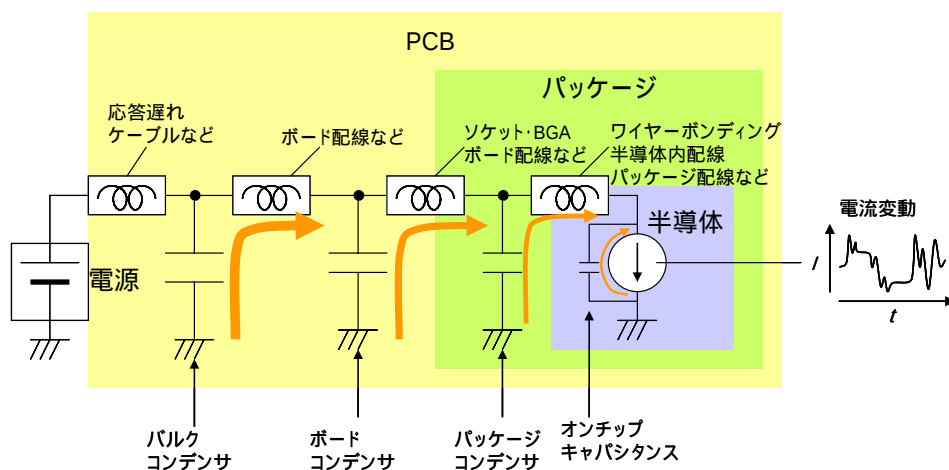


図 8-2 コンデンサからの電流の供給モデル

7章で述べたように、IC からみた電源インピーダンスには、コンデンサだけではなく配線のインダクタンスを考慮する必要があります。図 8-2 では、半導体と各コンデンサの間の配線の影響を、インダクタンスで表しています（簡単のために、配線の静電容量や抵抗分は無視しています）。遠方に配置したコンデンサは配線のインダクタンスが大きくなるため、高周波ではインピーダンスを小さくすることができません。反対に、半導体に近いコンデンサでは、高周波まで有効に機能することが期待できます。

この意味で、オンチップキャパシタンスで十分な静電容量を得ることができれば、電源インピーダンスを下げる上では理想的なのですが、現実にはスペースの関係で実現が困難です。このため、図 8-2 に示すように、半導体の近くから遠方にかけてコンデンサを階層的に配置して、目標の電源インピーダンスを達成することになります。

8.2 PDN のインピーダンス

IC の動作に必要な電源インピーダンスの目標値はターゲットインピーダンス(Z_T)と呼ばれており、図 8-3 に示すように必要な周波数範囲で目標値以下にする必要があります（図では目標を一定値にしましたが、周波数により異なる場合もあります）。

PDN は電源とデカップリングコンデンサ、それらを接続する配線などにより構成されていますが、これら全体で、ターゲットインピーダンスを満たすように設計します。（ターゲットインピーダンスは IC や回路の動作を考慮して設定されるものですが、明示されない場合もあります。このときの設定の目安は 8.7 項で紹介します。）

電源インピーダンスは、図 8-2 のモデルではシリコンウェハ上のトランジスタからみたインピーダンスで表すのが理想ですが、ウェハ上で測定することは現実的ではありませんので、現実にはパッケージの BGA 端子や PCB 上の電源パッドなど、測定点を定めて表す必要があります（一般に、この値は測定場所によって変わります）。以下の説明ではとくに断らない限り、半導体素子からみた（現実には測れない仮定の）インピーダンスを表すものとします。

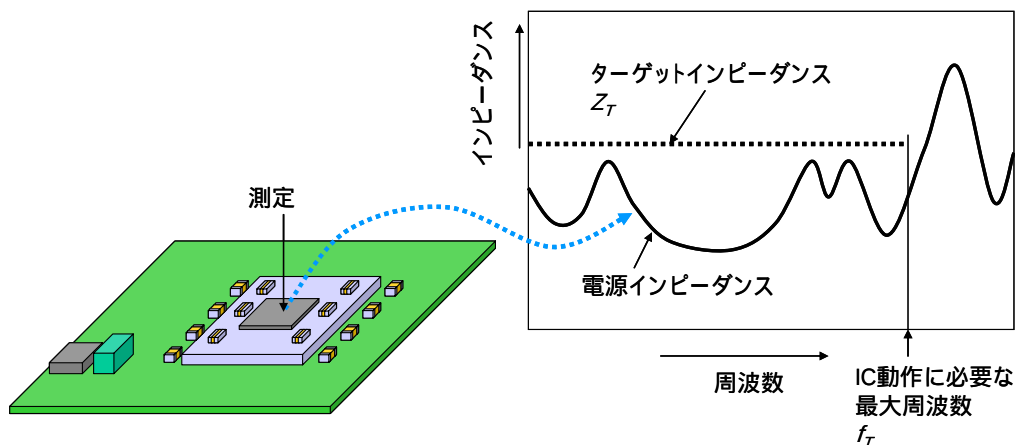


図 8-3 ターゲットインピーダンス

8.3 コンデンサの階層配置

図 8-2 に示したようにコンデンサを階層配置したときの PDN 全体のインピーダンスの周波数特性は、図 8-4 のようになります。各コンデンサがカバーする周波数範囲を組み合わせ、全体でターゲットインピーダンスを満足するようにします¹⁾。

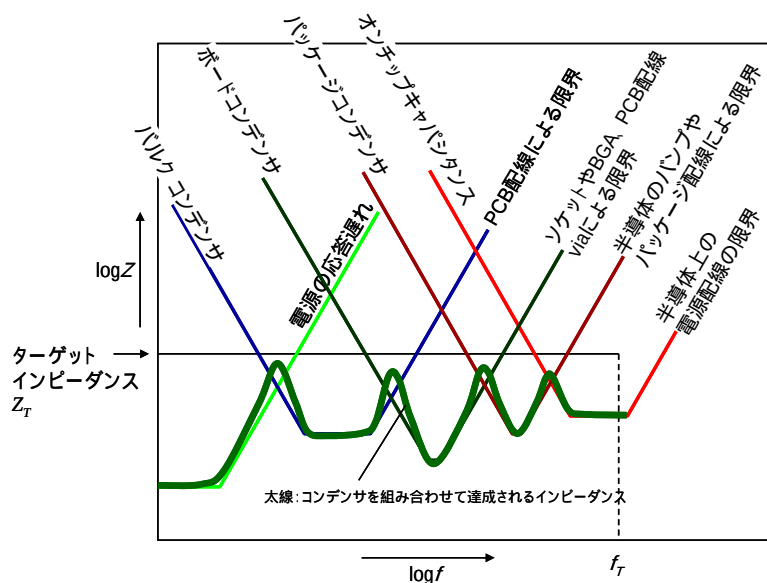


図 8-4 コンデンサを組み合わせたときのインピーダンスの模式図

図 8-4 に示した各コンデンサのインピーダンスは、部品単独のインピーダンスではなく、図 8-5 に示すように、半導体素子からコンデンサまでの配線の影響も含んでいます。このとき半導体素子からこのコンデンサをみたときのインピーダンスの周波数特性は、図 8-6 に示すように概略 V 字型の曲線となります（簡単のために、配線のキャパシタンスは無視しています）。

この曲線がターゲットインピーダンス Z_T を満足する範囲を、ここではコンデンサの有効周波数範囲と呼ぶことにします。図 8-6 に示すように、有効周波数範囲の下限 f_{min} はコンデンサの静電容量 C_{cap} に、上限 f_{max} はコンデンサのインダクタンス ESL_{total} により制約されることになります。この ESL_{total} には、コン

デンサのインダクタンス ESL_{cap} と配線のインダクタンス L_{line} が含まれています。またこの ESL_{cap} には、コンデンサ自身の ESL と、コンデンサを取り付けるパッドや via のインダクタンスが含まれています。

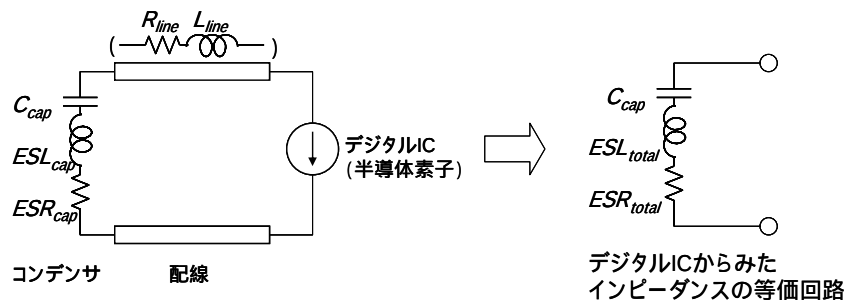


図 8-5 1つのコンデンサの等価回路

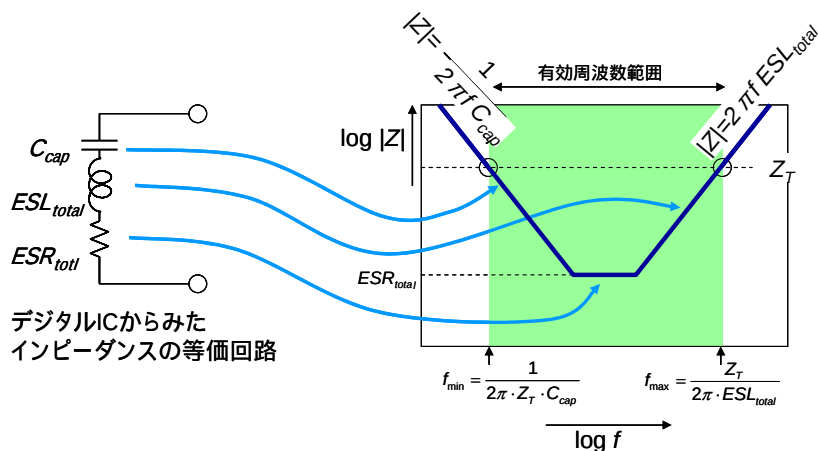


図 8-6 1つのコンデンサのインピーダンスの周波数特性

図 8-6 よりわかるように、コンデンサの有効周波数範囲は、 Z_T が大きいときは広く、 Z_T が小さいときは狭くなります。

なお、コンデンサのインピーダンスの下限は ESR_{total} により制約されます。 Z_T が小さい電源には、ESR が少なくとも Z_T よりも小さいコンデンサを使う必要があります。

コンデンサの階層の接続部では、図 8-7 に示すように低周波側のコンデンサ(コンデンサ1)と高周波側のコンデンサ(コンデンサ2)の有効周波数範囲が重なるように(隙間ができないように)組み合わせます。このため、たとえば低周波側のコンデンサの ESL_{total} が変わると、高周波側コンデンサに必要な静電容量も変わることになります。

また、図 8-4 に示したように、周波数の接続部分ではインピーダンスが増大する場合があります。これは3章で述べたようにコンデンサ同士が反共振を生じる場合があるためです。従って、有効周波数範囲の接続はある程度マージンを持って設定する必要があります。

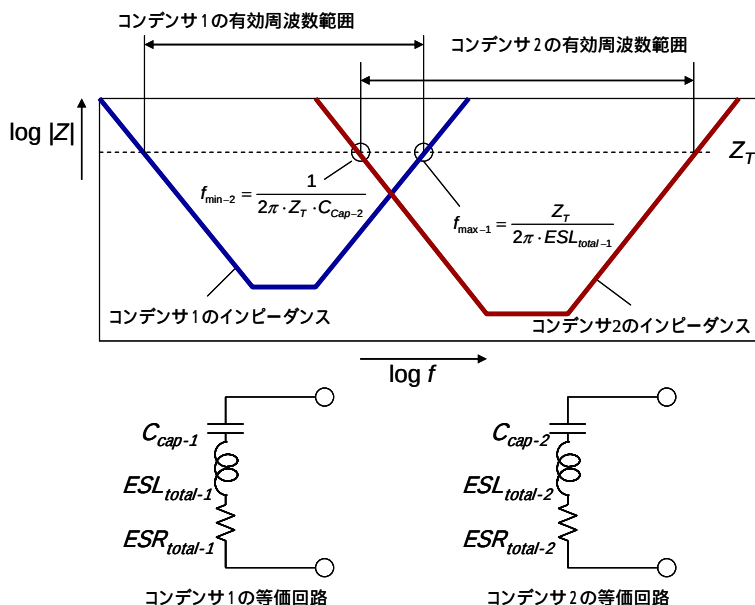
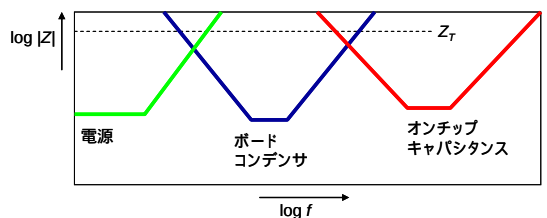


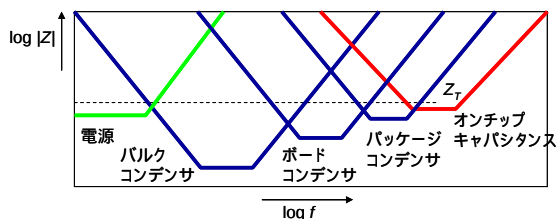
図 8-7 コンデンサのインピーダンスの階層接続

一方、先に述べたように、コンデンサの有効周波数範囲はターゲットインピーダンスの高低により大きく変化します。IC の電流変化が小さい場合など、ターゲットインピーダンスが比較的高いときは有効周波数範囲が広がりますので、階層の省略が可能です。また、ボードコンデンサに容量が大きく ESL の小さいコンデンサを用いると、有効周波数範囲が広がりますので、前後のバルクコンデンサやパッケージコンデンサをなくしたり、個数を減らせる可能性があります。

図 8-8 に階層省略の例を示します。



(a) ターゲットインピーダンスが高いとき



(b) ターゲットインピーダンスが低いとき

図 8-8 コンデンサの階層構成例

8.4 PCB 上のターゲットインピーダンス

図 8-2 に示したコンデンサの階層の中で、オンチップキャパシタンスやパッケージコンデンサは IC に搭載されて提供されますので、PCB 設計の段階でコントロールすることはできません。

そこで通常は、オンチップキャパシタンスやパッケージコンデンサのカバーする周波数の下限を、PCB 設計時のターゲットインピーダンスの上限周波数 $f_{T@PCB}$ として考え、IC パッケージから外部に出た電源端子で実現するターゲットインピーダンスの上限周波数とします。この周波数は、通常は 10MHz ~ 100MHz 程度であると考えられます。

PCB 上のデカップリングコンデンサの設計では、この $f_{T@PCB}$ までターゲットインピーダンスを満足することが目標となります（必ずしも、IC 動作の最大周波数を目標とする必要はありません）。また、このときのインピーダンスの測定点は、IC パッケージの電源端子となります。

以下の項では、PCB 上の階層で使われるコンデンサと、その使い方の解説を行います。

8.5 バルクコンデンサ

バルクコンデンサは低周波域のインピーダンスをカバーする大容量のコンデンサを指します。電源供給部の1箇所に配置され、電源モジュールの平滑コンデンサを兼ねている場合もあります。

図 8-6 に示したようにコンデンサのインピーダンスの下限は ESR に、有効周波数範囲の上限は ESL と配線インダクタンスに制約されます。従って、ESR や ESL の小さいコンデンサを使うと、より高周波を分担するボードコンデンサの容量を減らしたり、コンデンサを配置するレイアウトの自由度を大きくできることになります。

図 8-9 に、電解コンデンサと MLCC のインピーダンスを比較した例を示します。ここでは 2.2 μF のコンデンサ同士で比較していますが、導電性高分子を使った低 ESR のコンデンサであっても、10MHz 以上の周波数域のインピーダンスは MLCC に比べて大きくなっています。これは、MLCC の ESL が小さく、有効周波数範囲の上限が高いことを示しています。

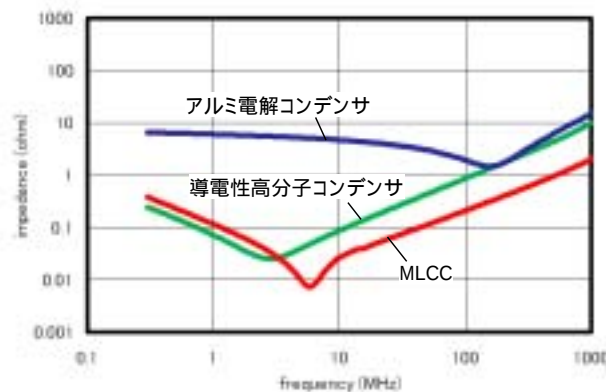


図 8-9 電解コンデンサと MLCC のインピーダンスの比較

8.6 ボードコンデンサ

バルクコンデンサの機能しない、より高周波域のインピーダンスは、IC 近くの PCB 上に配置されたボードコンデンサが担当します。通常、このコンデンサには MLCC が使われます。比較的小規模・低速の IC では1つのコンデンサで十分ですが、ターゲットインピーダンスが低い高性能な IC では、図

8-10 に示すように複数のコンデンサが並列に使われる場合があります²⁾。

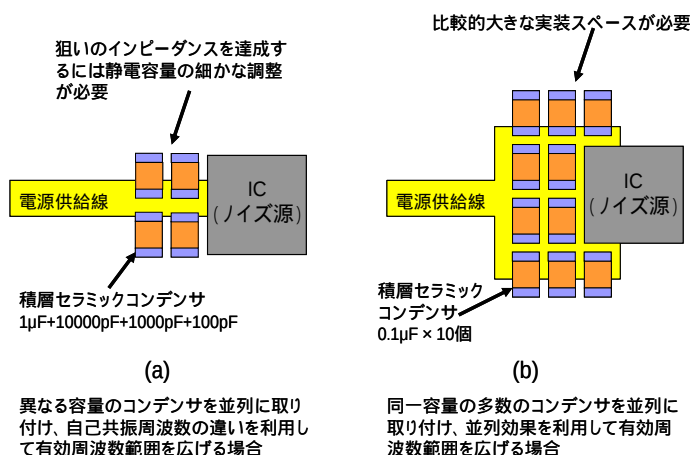


図 8-10 ボードコンデンサの並列配置の例

図 8-10 (a)は、静電容量の異なるコンデンサを組み合わせるものです。コンデンサが自己共振周波数付近で低インピーダンスとなる性質を利用し、自己共振周波数の異なるコンデンサ同士を組み合わせ、広い周波数範囲で低インピーダンスとすることを狙うものです。

このとき、3章で述べたように、コンデンサの自己共振周波数の「狭間」で反共振が生じて、インピーダンスが小さくならない場合がありますので留意が必要です。図 8-11 に、 $1\mu\text{F}$ 、 10000pF 、 1000pF 、 100pF の4個のコンデンサを並列に使ったときの合成インピーダンスの例を示します。インピーダンスの周波数特性は波をうっており、反共振の周波数では、 $1\mu\text{F}$ のコンデンサ1個の場合よりもインピーダンスが高くなる場合があります。

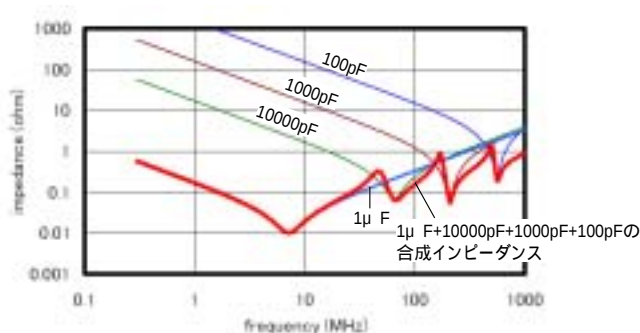


図 8-11 容量の違うコンデンサを並列に使ったときの合成インピーダンス（計算値）

図 8-10 (b)は同一容量のコンデンサを並列に使う場合です。この場合は、図 8-12 に計算結果を示すように反共振の不具合は比較的発生しにくくなります（コンデンサ間の配線は無視できるとして算出しています）。この方法では、コンデンサのインピーダンスが並列になる効果のほかに、パッドや via のインピーダンスも並列になる効果もあります（コンデンサごとに via を設ける場合です）。また、個数が増えますので、比較的静電容量を大きくしやすいという利点もあります。

反面、コンデンサの個数が増大し、スペースやコストが増大するデメリットがあります。また、面積が増えると共にコンデンサの搭載位置が比較的遠方になりますので、配線のインピーダンスによってコン

デンサの効が悪くなり、コンデンサの個数を増やす効果が次第に小さくなる傾向があります。

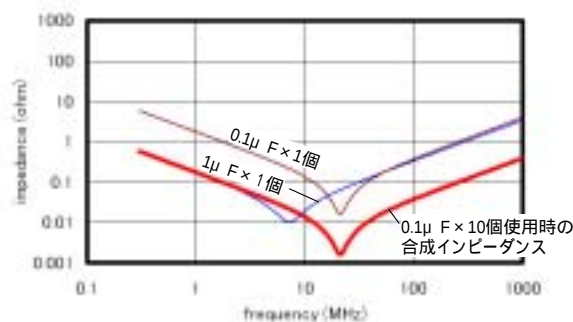


図 8-12 同一容量のコンデンサを並列に使ったときのインピーダンス (計算値)

図 8-10 に示した方法では支障がある場合、4章で示した低 ESL のコンデンサを使うと、コンデンサの個数を増やすのと同じ効果が1つのコンデンサで得られますので、スペースやコストの面で有利です。図 8-13 に、MLCC を複数使ったとき、低 ESL コンデンサを1つ使ったときのインピーダンスの比較を示します。低 ESL コンデンサ1個で、MLCC を 10 個並列に使ったときと同等のインピーダンスが実現できています。

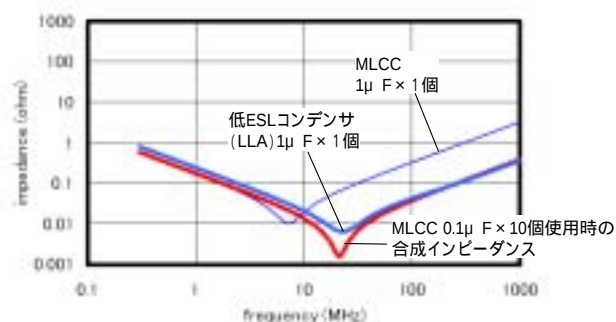


図 8-13 MLCC を並列に使った場合と低 ESL コンデンサの比較 (計算値)

8.7 コンデンサの容量設計

ターゲットインピーダンスから、バルクコンデンサやボードコンデンサの静電容量をごくおおまかに設定する例を以下に示します。図 8-14 に示すように、電源モジュールから IC までの間に、バルクコンデンサとボードコンデンサを配置する場合を考えます。配線は MSL で形成されており、各コンデンサの搭載位置はおおまかに決まっているものとします。

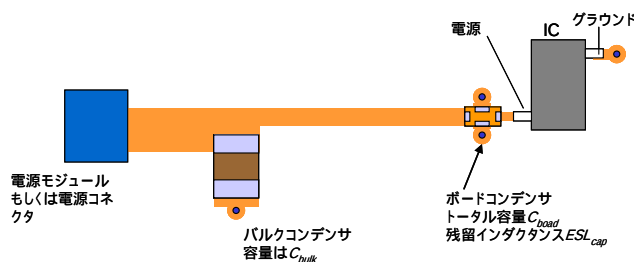


図 8-14 コンデンサの容量の設計をするモデル

8.7.1 ターゲットインピーダンスの設定

最初に、図 8-15 のようにターゲットインピーダンス Z_T を設定します。あらかじめ IC の動作に必要な電源インピーダンスの目標値と最大周波数がわかっているときは、その値を使います。これがわかっていないときは、以下の式で設定します。

$$Z_T = \frac{\Delta V}{\Delta I} \quad (8-1)$$

ここで ΔV は IC の最大許容リップル電圧、 ΔI は定常状態から変動する最大過渡電流です（不明の場合は、IC の最大電流値の半分程度とします¹⁶⁾ ¹⁷⁾）。 Z_T の最大周波数 $f_{T@PCB}$ は、IC の動作速度により異なると考えられます。不明のときは、100MHz 程度にします。

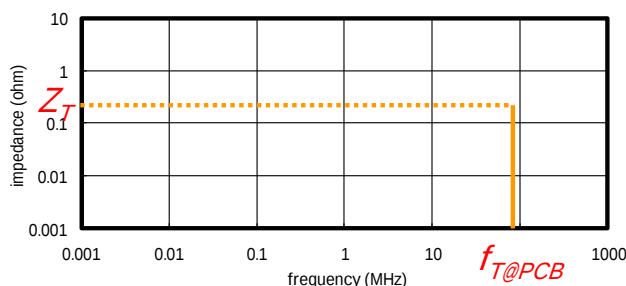


図 8-15 ターゲットインピーダンスの設定

8.7.2 バルクコンデンサの容量設定

続いて、低周波側からコンデンサの容量設定をしていきます。最初はバルクコンデンサです。図 8-16 にモデルを示します。

電源モジュールが理想的に働き、バルクコンデンサ搭載位置においてターゲットインピーダンスを満たせなくなる主な要因が、電源モジュールから回路までのケーブルやプリント配線のインダクタンスであるとみなせるときは、このインダクタンスを L_{Power} として、2章で示したようにバルクコンデンサの容量 C_{bulk} は次のように設定できます。

$$C_{bulk} \geq \frac{L_{Power}}{Z_T^2} \quad (8-2)$$

配線がプリント配線だけのときは、 L_{Power} の見積もりには7章で示した以下の式が使えます。

$$L_{line} = 0.4l \left(\frac{h}{w} \right)^{0.6} \times 10^{-6} \quad (H) \quad (7-3)$$

ここで、 h は MSL の誘電体の厚み、 w は配線の幅、 l は配線の長さです。

なお、電源モジュール自身の応答特性が無視できないときは、式(8-3)の L_{power} に、この分のインダクタンス $L_{powerResponse}$ を見込む必要があります。概数としては、6章で示したようにインダクタンスの時定数から、以下のように設定します。

$$L_{PowerResponse} = Z_T \cdot t_{PowerResponse} \quad (8-3)$$

ここで $t_{powerResponse}$ は電源モジュールの応答時間です。

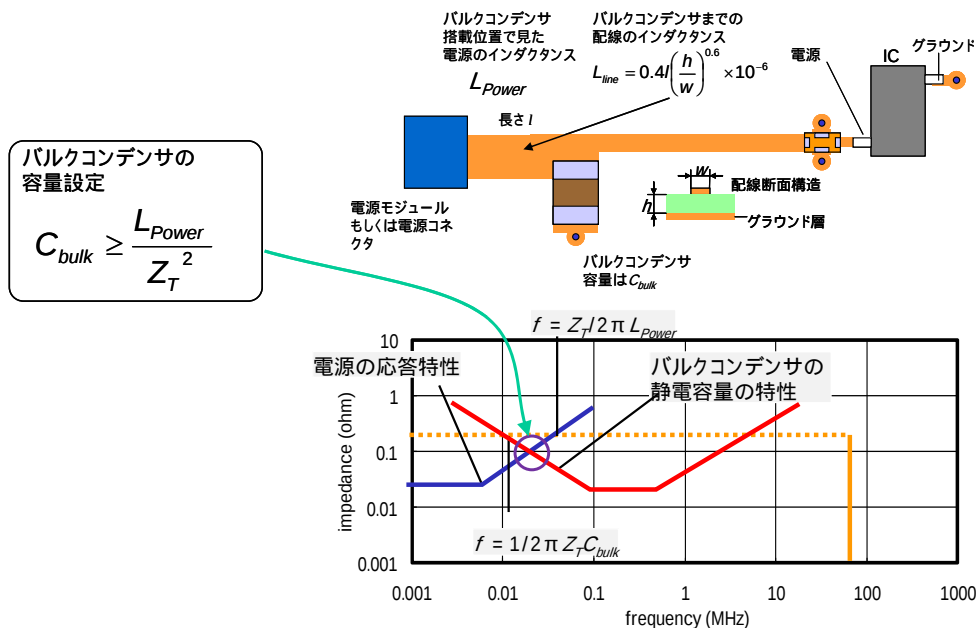


図 8-16 バルクコンデンサの容量設定

8.7.3 ボードコンデンサの設定

次に、図 8-17 に示すように、ボードコンデンサの容量 C_{board} の設定をします。バルクコンデンサからボードコンデンサまでの配線のインダクタンスを L_{bulk} としますと、ボードコンデンサ搭載箇所が必要となる静電容量は、(8-2)式と同様に

$$C_{board} \geq \frac{L_{bulk}}{Z_T^2} \quad (8-4)$$

となります。なお、この L_{bulk} には、厳密にはバルクコンデンサの ESL や、IC からバルクコンデンサまでの全ての配線のインダクタンスを含めますが、図 8-17 ではバルクコンデンサとボードコンデンサの間の配線だけで代表させています。

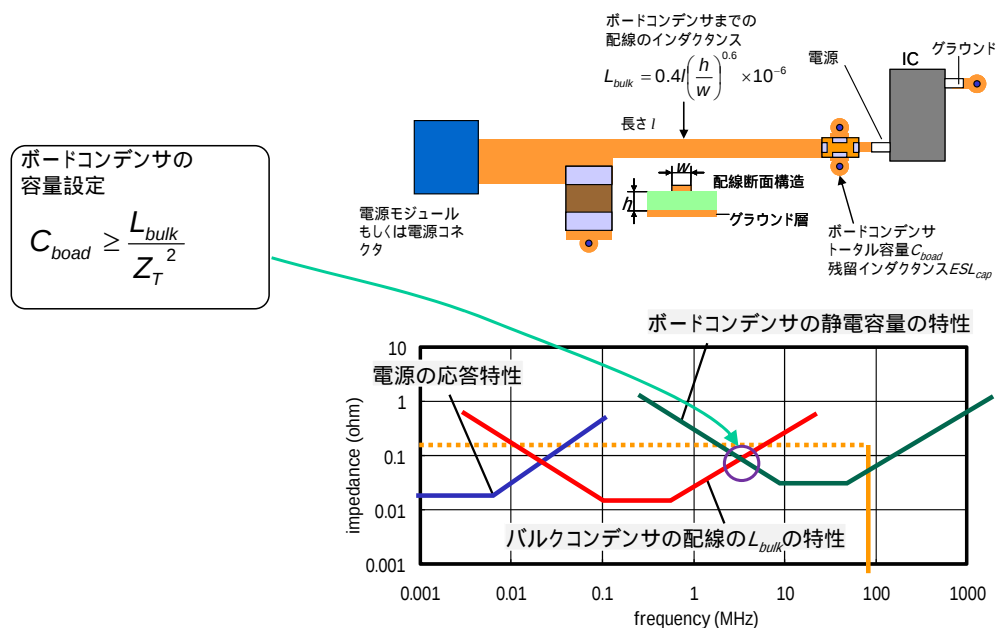


図 8-17 ボードコンデンサの容量設定

8.7.4 ボードコンデンサの配置

続いて、ボードコンデンサの配置をします。図 8-18 に示すように、IC の電源端子からの距離が 7 章で述べた最大許容配線長 l_{max} 以内になるように、ボードコンデンサを配置すると、 $f_{T@PCB}$ までの周波数で、 Z_T を満足させることができます。

$$l_{max} \cong 0.4 \frac{Z_T - 2\pi f_{T@PCB} ESL_{cap}}{f_{T@PCB} \left(\frac{h}{W} \right)^{0.6}} \times 10^6 \quad (\text{m}) \quad (7-5)$$

ここで、 ESL_{cap} はボードコンデンサの ESL で、コンデンサ自身の ESL に加えて、コンデンサを取り付けるパッドや via のインダクタンス (ESL_{PCB}) も含んでいます。

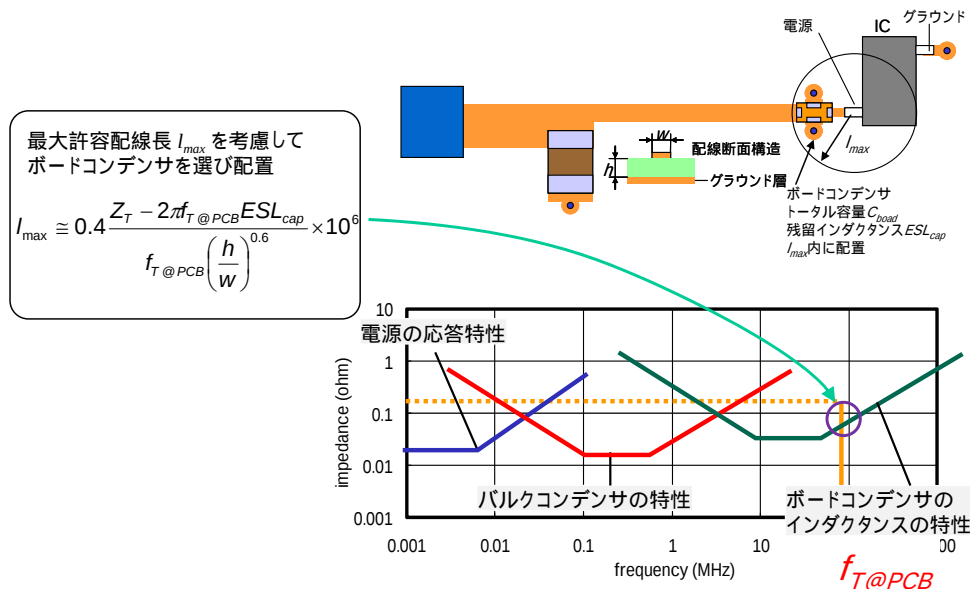


図 8-18 ボードコンデンサの配置

8.7.5 ESL_{cap} を小さくするには

ターゲットインピーダンスによっては、1個のコンデンサでは妥当な長さの l_{max} が得られず、ターゲットインピーダンスが達成できないことがあります。このような場合には、図 8-19 の左の図に示すように、複数のコンデンサを並列に使うことで等価的に ESL_{cap} を小さくし、 l_{max} を拡大する必要があります。また、4章で述べた低 ESL のコンデンサを使うことも、同様に効果的です。

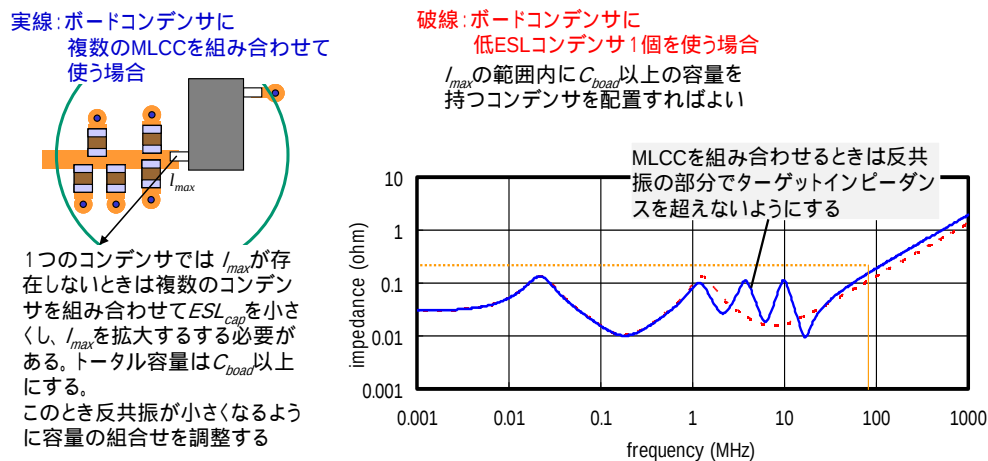


図 8-19 ESL_{cap} の削減

以上の手順をまとめますと、図 8-20 のようになります。

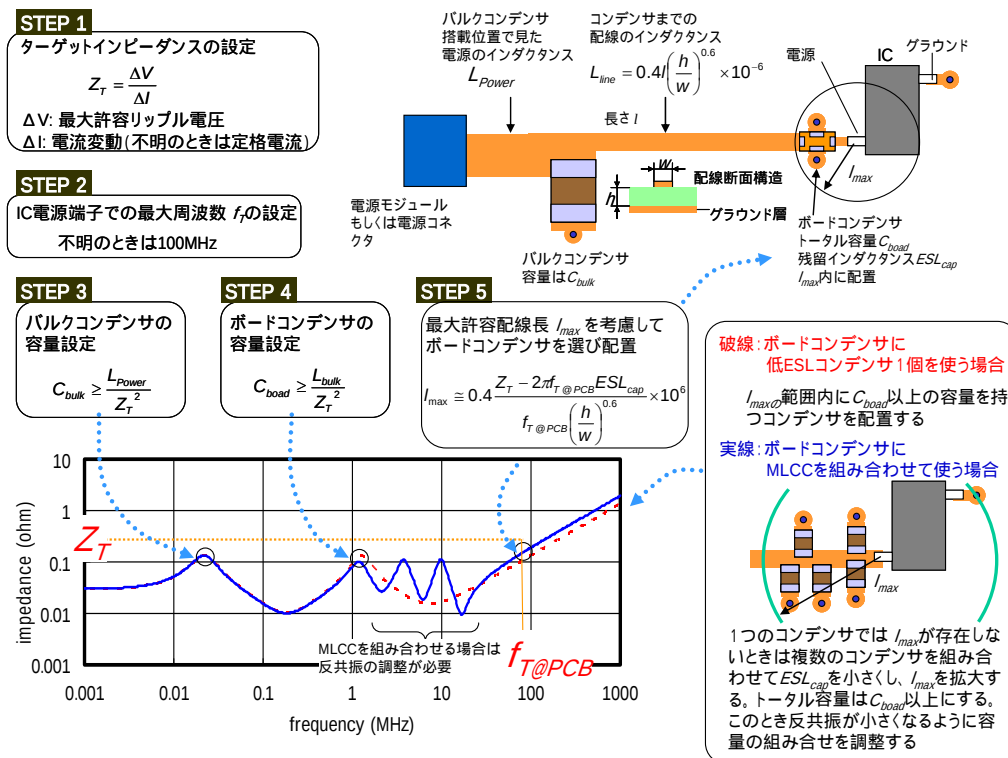


図 8-20 ターゲットインピーダンスを達成するためのコンデンサの設計の例

8.8 極低インピーダンスの PDN を作るには

大規模 CPU のコア電源など、低電圧・大電流・高速レスポンスを同時に要求される電源では、mΩ オーダの低インピーダンスが必要になる場合があります。このような場合は、各階層で複数のコンデンサを組み合わせ、並列効果を使って目標のインピーダンスを実現する必要があります。この場合、コンデンサの個数や電源端子が極端に増え、電源配線形状も複雑になるので、インピーダンスの設計は複雑になります。4章で紹介した低ESLコンデンサを使用すると、コンデンサの個数が減らせますので、電源設計がシンプルになり、スペース・コスト面でも有利となる場合があります。図 8-21 に、各種コンデンサを組み合わせた極低インピーダンス設計の例を示します。

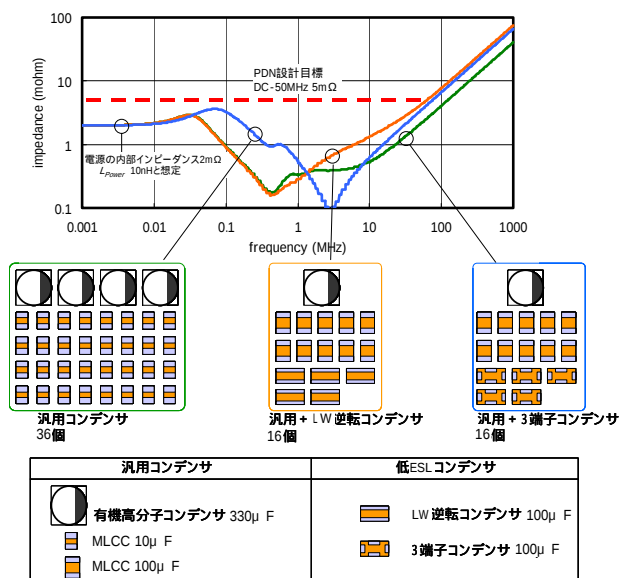


図 8-21 コンデンサを組み合わせた極低インピーダンス設計の例

9. まとめ

このテキストでは、IC の電源で使われるデカップリング回路の構成と実装方法について説明してきました。ここではこの回路の使われる目的が、ノイズ除去と、IC の動作に必要な電流の供給（電源品位：PI の達成）であると想定しています。デカップリング回路の性能指標として、ノイズ除去の観点では主に挿入損失を、電源品位の観点では主にインピーダンスを用いて説明をしています。

各種のデカップリング回路を、ノイズ除去と電源品位の観点から比較し、並べたものを図1に示します。IC の電源では、簡易にこの両者を達成する手段として MLCC が使われています。これを3端子コンデンサや低 ESL コンデンサに置き換えますと、ノイズ除去と電源品位の双方で性能向上が期待できます。また、フェライトビーズなどのインダクタを追加しますと、ノイズ除去の観点で性能向上ができますが、電源インピーダンスが高くなる場合がありますので、その場合はコンデンサの増強が必要になります。コンデンサとインダクタを組み合わせる段数を増やしますと、さらにノイズの減衰を大きくすることができます。回路で要求されるレベルに応じて、これらのフィルタを適用していただきたいと思います。

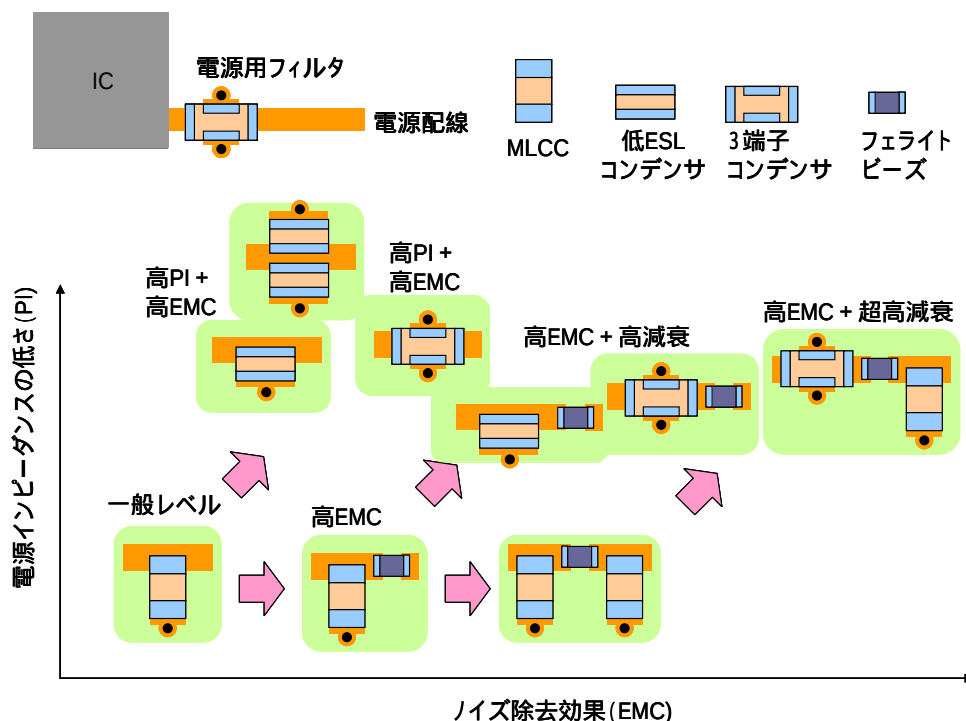


図1 電源用フィルタの構成

ノイズ対策の観点から見た電源回路の特徴には、信号回路に比較して配線形状が複雑で特性インピーダンス設計が容易でないこと、インピーダンスが極めて低い場合があること、ノイズ対策の対象となる周波数が音声帯域から GHz まで広範囲にわたること、多数の回路で共用されており影響範囲が広いことなどが上げられます。このような回路でバイパスコンデンサを有効に機能させるには、高周波で低インピーダンスとするための、インダクタンスの小さい実装構造や配線設計が必要になります。このため、このテキストではコンデンサを取り付ける配線形状についてできるだけ取り上げました。電子機器の設計の際、お役立ていただけましたら幸いです。

参考文献

- 1) 山本秀俊, "パワーインテグリティのためのコンデンサの適用," エレクトロニクス実装学会誌, vol.12 No.3, May, 2009
- 2) 山本秀俊, "モバイル機器の電源ノイズ対策(前編)," pp.117-129, 電磁環境工学情報 EMC, 2007 9月号, No.233
- 3) Mark Montrose, 澁谷 昇 他 監訳, "プリント配線板の EMC 設計-わかりやすい設計・理論・レイアウト-," 三松株式会社, 2006
- 4) Brian Young, "Digital Signal Integrity Modeling and Simulation with Interconnects and Packages," Prentice Hall PTR, 2001
- 5) Clayton R. Paul, 佐藤 利三郎 監修, "EMC 概論," ミマツデータシステム, 1996
- 6) 久保寺忠, "高速デジタル回路実装ノウハウ," CQ 出版, 2002
- 7) "デジタル回路における DC 電源ラインのノイズ対策," 村田製作所技術資料, TE13JT, 1996
- 8) 坂本幸夫, "よくわかる電源ラインの EMC・ノイズ対策設計," 日刊工業新聞社, 2006
- 9) "エミフィル®によるノイズ対策 応用の手引き," 村田製作所技術資料, 1986
- 10) Larry D. Smith, "Frequency Domain Target Impedance Method for Bypass Capacitor Selection for Power Distribution Systems", pp.119-136, Power Distribution Network Design Methodologies, IEC, 2008
- 11) 坂本幸夫, "図解 ノイズ対策部品と EMC 設計," 工業調査会, 2005
- 12) 坂井清司, "チップフェライトビーズ," pp.52-57, 電磁環境工学情報 EMC, 2007 11月号 No.235
- 13) 池田哲夫, "電気理論 第2版," 森北出版 2006
- 14) 例えば, Stephan H. Hall, Garret W. Hall, James A. McCall, "High-speed Digital System Design; A Handbook of Interconnect Theory and Design Practices," Wiley-Inter Science 2000
- 15) Mikhail Popovich, Andrey V. Mezhiba, Eby G. Friedman, "Power Distribution Networks with On-chip Decoupling Capacitors," Springer, 2008
- 16) Madhavan Swaminathan, A. Ege Engin, "Power Integrity Modeling and Design for Semiconductor and Systems," Prentice Hall PTR, 2008
- 17) 矢口貴宏, "プリント配線板のパワーインテグリティ設計," エレクトロニクス実装学会誌, vol.12 No.3, May, 2009

△お願い

- 当カタログに記載の製品について、その故障や誤動作が人命又は財産に危害を及ぼす恐れがある等の理由により、高信頼性が要求される以下の用途での使用をご検討の場合、又は、当カタログに記載された用途以外での使用をご検討の場合は、必ず事前に弊社営業本部又は最寄りの営業所までご連絡下さい。
①航空機器 ②宇宙機器 ③海底機器 ④発電所制御機器 ⑤医療機器
⑥輸送機器（自動車、列車、船舶等） ⑦交通用信号機器 ⑧防災／防犯機器 ⑨情報処理機器 ⑩その他上記機器と同等の機器
- 当カタログの記載内容は2010年7月現在のものです。
記載内容について、改良のため予告なく変更することや供給を停止することがございますので、ご注文に際してはご確認下さい。
記載内容にご不明の点がございましたら、弊社営業本部又は最寄りの営業所までお問い合わせ下さい。
- 製品によっては、お守りいただかないと発煙、発火等に至る可能性のある定格や △注意（保管・使用環境、定格上の注意、実装上の注意、取扱上の注意）を記載しておりますので、必ずご覧下さい。
- 当カタログには、代表的な仕様しか記載しておりませんので、ご注文にあたっては詳細な仕様が記載されている納入仕様書の内容をご確認いただくか承認図の取交しをお願いします。
- 当カタログに記載の製品の使用もしくは当カタログに記載の情報の使用に際して、弊社もしくは第三者の知的財産権その他の権利にかかわる問題が発生した場合は、弊社はその責を負うものではありません。また、これらの権利の実施権の許諾を行うものではありません。
- 当カタログに記載の製品のうち、「外国為替及び外国貿易法」に定める規制貨物等に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
- 弊社の製造工程では、モントリオール議定書で規制されているオゾン層破壊物質（ODS）は一切使用しておりません。



株式会社 村田製作所

本 社／〒617-8555 京都府長岡京市東神足1丁目10番1号
営業本部／〒150-0002 東京都渋谷区渋谷3丁目29番12号
<http://www.murata.co.jp/>

電話：075-951-9111
☎：0120-443-015